

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP04/018312

International filing date: 08 December 2004 (08.12.2004)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2003-409641
Filing date: 08 December 2003 (08.12.2003)

Date of receipt at the International Bureau: 10 February 2005 (10.02.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

10.12.2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年12月8日
Date of Application:

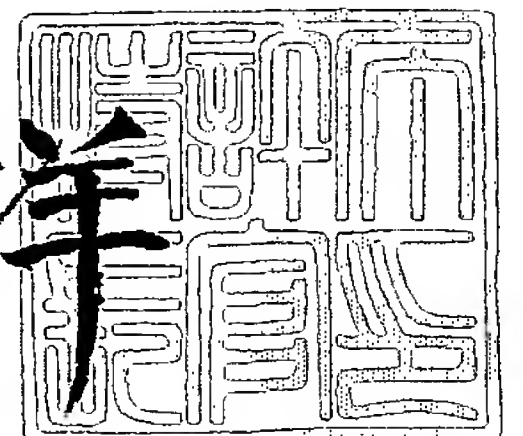
出願番号 特願2003-409641
Application Number:
[ST. 10/C]: [JP2003-409641]

出願人 有限会社金沢大学ティ・エル・オー
Applicant(s):

2005年 1月27日

特許庁長官
Commissioner,
Japan Patent Office

小川



【書類名】 特許願
【整理番号】 2003-067
【あて先】 特許庁長官 殿
【国際特許分類】 H04N 7/30
【発明者】
 【住所又は居所】 石川県金沢市太陽が丘 2 - 2 1 1
 【氏名】 吉本 雅彦
【発明者】
 【住所又は居所】 石川県石川郡鶴来町森島町い 1 0 0 - 2 2
 【氏名】 川上 健太郎
【発明者】
 【住所又は居所】 富山県射水郡大島町小島 1 2 0 4
 【氏名】 金森 美和子
【発明者】
 【住所又は居所】 富山県高岡市古定塚 9 - 5 1
 【氏名】 森田 泰弘
【発明者】
 【住所又は居所】 神奈川県藤沢市湘南台 3 丁目 1 番地 4 号プランヴェール湘南台 6
 0 2 号
 【氏名】 大平 英雄
【特許出願人】
 【識別番号】 803000023
 【氏名又は名称】 有限会社金沢大学ティ・エル・オー
【代理人】
 【識別番号】 100105809
 【弁理士】
 【氏名又は名称】 木森 有平
 【電話番号】 076-262-7101
【選任した代理人】
 【識別番号】 100126398
 【弁理士】
 【氏名又は名称】 浅野 典子
【手数料の表示】
 【予納台帳番号】 047429
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0308367

【書類名】 特許請求の範囲

【請求項 1】

半導体基板に MOS トランジスタが集積されたプロセッサを使用して連続する複数のフレームから構成される動画像をフレーム単位で順次符号化又は復号化する動画像符号化又は復号化手段を有し、前記プロセッサは動作周波数及び基板バイアス電圧が制御可能である動画像符号化又は復号化処理システムにおいて、

これから符号化又は復号化される任意の一のフレームを所定フレームとすると、

所定フレームの符号化又は復号化に必要な必要演算量を計算する必要演算量計算手段と、所定フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な基板バイアス電圧及び動作周波数を決定する基板バイアス電圧・動作周波数決定手段とを備え、

前記プロセッサは、前記基板バイアス電圧・動作周波数決定手段により決定された基板バイアス電圧及び動作周波数によりフレーム単位で一定に動作しながら、前記動画像符号化又は復号化手段が所定フレームの符号化又は復号化処理を行うことを特徴とする動画像符号化又は復号化処理システム。

【請求項 2】

半導体基板に MOS トランジスタが集積されたプロセッサを使用して連続する複数のフレームから構成される動画像をフレーム単位で順次符号化又は復号化する動画像符号化又は復号化手段を有し、前記プロセッサは動作周波数、基板バイアス電圧及び動作電源電圧が制御可能である動画像符号化又は復号化処理システムにおいて、

これから符号化又は復号化される任意の一のフレームを所定フレームとすると、

所定フレームの符号化又は復号化に必要な必要演算量を計算する必要演算量計算手段と、所定フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な動作電源電圧、基板バイアス電圧及び動作周波数を決定する動作電源電圧・基板バイアス電圧・動作周波数決定手段とを備え、

前記プロセッサは、前記動作電源電圧・基板バイアス電圧・動作周波数決定手段により決定された基板バイアス電圧、動作電源電圧及び動作周波数で一定に動作しながら、前記動画像符号化又は復号化手段が所定フレームの符号化又は復号化処理を行うことを特徴とする動画像符号化又は復号化処理システム。

【請求項 3】

前記プロセッサは動作周波数が r 段階（ r は 2 以上の整数）に可変であり、前記基板バイアス電圧・周波数決定手段は、前記必要演算量計算手段により算出された前記所定フレームの必要演算量 K_p と、所定フレームの処理に割り当てられる時間 T_f とから、時間 T_f で必要演算量 K_p を処理するに必要な動作周波数 F_f を $F_f = K_p / T_f$ で計算し、前記プロセッサが動作可能な可能動作周波数から前記必要な動作周波数 F_f 以上であり且つその動作周波数 F_f に最も近い動作周波数 F を選択するとともに、選択された動作周波数 F に適する基板バイアス電圧 V_{BB} を決定することを特徴とする請求項 1 に記載の動画像符号化又は復号化処理システム。

【請求項 4】

前記プロセッサは動作周波数が r 段階（ r は 2 以上の整数）に可変であり、前記動作電源電圧・基板バイアス電圧・周波数決定手段は、前記必要演算量計算手段により算出された前記所定フレームの必要演算量 K_p と、所定フレームの処理に割り当てられる時間 T_f とから、時間 T_f で必要演算量 K_p を処理するに必要な動作周波数 F_f を $F_f = K_p / T_f$ で計算し、前記プロセッサが動作可能な可能動作周波数から前記必要な動作周波数 F_f 以上であり且つその動作周波数 F_f に最も近い動作周波数 F を選択するとともに、選択された動作周波数 F に適する動作電源電圧 V_{DD} 及び基板バイアス電圧 V_{BB} を決定することを特徴とする請求項 2 に記載の動画像符号化又は復号化処理システム。

【請求項 5】

前記必要演算量計算手段で算出された必要演算量が実際に必要な演算量よりも小さい場合に起きる破綻現象を回避する破綻回避手段を備えることを特徴とする請求項 1 乃至請求

項 4 のいずれか 1 項に記載の動画像符号化又は復号化処理システム。

【請求項 6】

前記破綻回避手段として、前記必要演算量計算手段により算出された必要演算量を所定値だけ増加させる第 1 の破綻回避手段を備えることを特徴とする請求項 5 に記載の動画像符号化又は復号化処理システム。

【請求項 7】

前記第 1 の破綻回避手段は、必要演算量計算手段により算出された必要演算量を m 倍（ m は 1 以上の実数）又は必要演算量に 0 より大きい実数 n を加算することを特徴とする請求項 6 記載の動画像符号化又は復号化処理システム。

【請求項 8】

前記破綻回避手段として、前記必要演算量計算手段で算出された必要演算量が、前記動画像符号化又は復号化手段による符号化又は復号化処理に実際に必要な演算量よりも小さいか否かを判断し、小さいと判断した場合には破綻現象を回避する処理を行う第 2 の破綻回避手段を備えることを特徴とする請求項 5 に記載の動画像符号化又は復号化処理システム。

【請求項 9】

前記第 2 の破綻回避手段として、所定のタイミングで動画像符号化手段による符号化処理に割り込みを行い、符号化がなされていないマクロブロックがある場合は、当該マクロブロックに対して無効ブロック化処理を行う無効ブロック化手段を少なくとも備えることを特徴とする請求項 8 記載の動画像符号化処理システム。

【請求項 1 0】

前記第 2 の破綻回避手段として、所定のタイミングで動画像符号化又は復号化手段による符号化又は復号化処理に割り込みを行い、その割り込み時点において、必要演算量計算手段で算出された所定フレームの必要演算量の残量が、符号化又は復号化処理手段による所定フレームの符号化又は復号化処理に実際に必要な演算量の残量よりも小さい場合は、プロセッサの動作周波数を上げ、その動作周波数に適する基板バイアス電圧でプロセッサを動作させる演算残量判断手段を少なくとも備えることを特徴とする請求項 8 記載の動画像符号化又は復号化処理システム。

【請求項 1 1】

前記第 2 の破綻回避手段として、所定のタイミングで動画像符号化又は復号化手段による符号化又は復号化処理に割り込みを行い、その割り込み時点において、必要演算量計算手段で算出された所定フレームの必要演算量の残量が、符号化又は復号化処理手段による所定フレームの符号化又は復号化処理に実際に必要な演算量の残量よりも小さい場合は、プロセッサの動作周波数を上げ、その動作周波数に適する動作電源電圧及び基板バイアス電圧でプロセッサを動作させる演算残量判断手段を少なくとも備えることを特徴とする請求項 8 記載の動画像符号化又は復号化処理システム。

【請求項 1 2】

連続する複数のフレームのうち前記所定フレームより前に符号化処理されるフレームを前フレームとすると、動画像符号化処理を行う場合において、前記必要演算量計算手段は、所定フレームと前フレームとの動き量、所定フレームのアクティビティの量、前フレームのアクティビティの量、前フレームの量子化ステップサイズの平均値、前フレームの量子化ステップサイズの平均値とその一つ前のフレームの量子化ステップサイズの平均値の差、前フレームのマクロブロックマッチング回数、前フレームの有効ブロック数、前フレームの有効係数の数、前フレームの符号化に実際に要した演算量、前フレームの発生ビット数、所定フレームの符号化ビットレート、所定フレームについてフレーム内符号化又はフレーム間符号化のいずれであるかの種類、必要演算量計算手段により算出された前フレームの必要演算量のうち、一つ以上の要素を使用して必要演算量を計算することを特徴とする請求項 1 乃至請求項 1 1 のいずれか 1 項に記載の動画像符号化又は復号化処理システム。

【請求項 1 3】

連続する複数のフレームのうち前記所定フレームより前に復号化処理されるフレームを前フレームとすると、動画像復号化処理を行う場合において、前記必要演算量計算手段は、所定フレームの符号化データのビット数、前記所定フレームがフレーム内符号化されたものであるか又はフレーム間符号化されたものであるかの種類、所定フレーム若しくは前フレームの動きベクトルの大きさの平均値、所定フレーム若しくは前フレームの動きベクトルの大きさの分散、所定フレーム若しくは前フレームの有効ブロック数、所定フレーム若しくは前フレームの有効係数の数、所定フレーム若しくは前フレームのビットレート、所定フレーム若しくは前フレームの符号量、所定フレーム若しくは前フレームの量子化ステップサイズの平均値、量子化ステップサイズの平均値の差(所定フレームと1つ前のフレームの量子化ステップサイズの差、もしくは1つ前のフレームの量子化ステップサイズと2つ前のフレームの量子化ステップサイズの差)、前フレームの復号化に実際に要した演算量、必要演算量計算手段により算出された前フレームの必要演算量のうち一つ以上の要素を使用して必要演算量を計算することを特徴とする請求項1乃至請求項11のいずれか1項に記載の動画像符号化又は復号化処理システム。

【請求項14】

半導体基板にMOSトランジスタが集積されたプロセッサが連続する複数のフレームから構成される動画像をフレーム単位で順次符号化又は復号化し、前記プロセッサは動作周波数及び基板バイアス電圧が制御可能である動画像符号化又は復号化処理方法において、

これから符号化又は復号化される任意の一のフレームを所定フレームとすると、

所定フレームの符号化又は復号化に必要な必要演算量を計算する必要演算量計算ステップと、所定フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な基板バイアス電圧及び動作周波数を決定する基板バイアス電圧・動作周波数決定ステップと、

前記プロセッサが、前記基板バイアス電圧・動作周波数決定ステップにおいて決定された基板バイアス電圧及び動作周波数によりフレーム単位で一定に動作しながら、所定フレームの符号化又は復号化処理を行う動画像符号化又は復号化ステップとを備えることを特徴とする動画像符号化又は復号化処理方法。

【請求項15】

半導体基板にMOSトランジスタが集積されたプロセッサが連続する複数のフレームから構成される動画像をフレーム単位で順次符号化又は復号化し、前記プロセッサは動作周波数、基板バイアス電圧及び動作電源電圧が制御可能である動画像符号化又は復号化処理方法において、

これから符号化又は復号化される任意の一のフレームを所定フレームとすると、

所定フレームの符号化又は復号化に必要な必要演算量を計算する必要演算量計算ステップと、所定フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な動作電源電圧、基板バイアス電圧、及び、動作周波数を決定する動作電源電圧・基板バイアス電圧・動作周波数決定ステップと、

前記プロセッサが、前記動作電源電圧・基板バイアス電圧・動作周波数決定ステップにおいて決定された動作電源電圧、基板バイアス電圧及び動作周波数によりフレーム単位で一定に動作しながら、所定フレームの符号化又は復号化処理を行う動画像符号化又は復号化ステップとを備えることを特徴とする動画像符号化又は復号化処理方法。

【書類名】 明細書

【発明の名称】 動画像符号化又は復号化処理システム、及び、動画像符号化又は復号化処理方法

【技術分野】

【0 0 0 1】

本発明は、半導体基板にMOSトランジスタが集積されたプロセッサを使用して連続する複数のフレームから構成される動画像をフレーム単位で順次符号化又は復号化し、前記プロセッサは動作周波数と基板バイアス電圧、又は動作周波数と基板バイアス電圧と動作電源電圧が制御可能である動画像符号化又は復号化処理システム、及び、動画像符号化又は復号化処理方法に関する。

【背景技術】

【0 0 0 2】

近年、伝送路を通じて動画像の送受信を行うことや、動画像を蓄積メディアに蓄積することが可能となっている。一般に、動画像は情報量が大きいため、伝送ビットレートの限られた伝送路を用い動画像を伝送する場合、あるいは蓄積容量の限られた蓄積メディアに動画像を蓄積する場合には、動画像を符号化・復号化する技術が必要不可欠である。動画像の符号化・復号化方式として、ISO/IECが標準化を進めているMPEG (Moving Picture Experts Group)やH. 26Xがある。これらは動画像を構成する経時的に連続した複数のフレームの符号化又は復号化を行うものであり、動画像の時間的相関、空間的相関を利用した冗長性の削減を行うことにより動画像の情報量を減らして符号化し、符号化された動画像を再度元の動画像に復号化する技術である。

【0 0 0 3】

かかる符号化・復号化技術はパーソナルコンピュータやマイクロコンピュータを内蔵する携帯電話等の情報端末機器等に適用されており、符号化・復号化の手段を記述したプログラムに基づいてコンピュータのプロセッサ等を動作させることにより、動画像を送信等する場合は動画像符号化処理システムとして、動画像を受信等する場合は動画像復号化処理システムとして機能させている。しかしながら、かかる動画像符号化又は復号化処理は比較的演算量が多いため消費電力が大きくなる傾向にあり、ハードウェアよりも汎用性の高いソフトウェアを使用して、符号化・復号化処理における低消費電力化を図ることが大きな課題となっている。

【0 0 0 4】

以下に、ソフトウェアを使用した動画像符号化又は復号化システムにおける従来の低消費電力化の手段を説明する。従来の低消費電力化の手段としては、例えば下記の非特許文献1に開示されている。

【0 0 0 5】

【非特許文献1】 IEEE International Symposium on Circuits and System 2001(May, 2001)の予稿集pp918-921 " An LSI for VDD-Hopping and MPEG4 System Based on the Chip"(H. Kawaguchi, G. Zhang, S. Lee, and T. Sakurai)

【0 0 0 6】

図13は、非特許文献1で示された、動画像（動画像）符号化処理システムについて従来の低消費電力化を行う手法を示した図である。なお、低消費電力化の手段は、動画像復号化処理システムにおいても同様である。

【0 0 0 7】

非特許文献1では、動的に動作電源電圧及び動作周波数を変更可能なプロセッサ上で、動画像符号化（特にMPEG）を処理する場合の低消費電力化を行うための動作電源電圧及び動作周波数の制御方法を示している。すなわち非特許文献1の発明は、図14に示すように、動画像符号化を行う場合に、動画像内の動きの激しさなどによりフレーム単位に動画像符号化又は復号化の演算量が異なることに注目し、プロセッサの動作周波数及び動作電源電圧を制御して低消費電力化を図るものである。

【0 0 0 8】

符号化処理は、1 フレームの処理時間が符号化方式 (MPEG など) の規定などにより時間 T_f に制約されており、その処理時間 T_f 内に 1 フレームの符号化処理が完了することが必要とされる。1 フレームの処理時間 T_f (秒) に対して、それを一定間隔に N 個に分割し、一つ一つの間隔 (時間) をタイムスロット T_{slot} ($T_{slot} = T_f / N$) と定義し、また、タイムスロット $T_{slot} 1$ からタイムスロット $T_{slot} i$ が終了した時点の残時間 T_{Ri} を $T_{Ri} = T_f - T_{slot} \times i$ と定義する。一つのタイムスロット T_{slot} で処理する動画像のブロック数 (動画像の符号化はブロック単位に処理が行われる) を R (すなわち $R \times N$ が 1 フレームのブロック数となる) とし、 $(R \times i)$ ブロック処理にかかった時間 (すなわちタイムスロット $T_{slot} 1$ からタイムスロット $T_{slot} i$ までに処理すべきブロック群に対して実際に処理にかかった時間) を $T_{acc}(i+1)$ とする。電圧変更した場合に動作電源電圧及び動作周波数が安定するまでの時間を T_{rd} とする。なお、実タイムスロット $R T_{slot} i$ はタイムスロット $T_{slot} i$ 内に完了されるべき処理に対して実際に要した処理時間を示す。図 13 では、まずタイムスロット $T_{slot} 1$ 及びタイムスロット $T_{slot} 2$ に割り当てられたブロック群の処理に対しては、負荷が最大の場合でもそのタイムスロット $T_{slot} 1$, $T_{slot} 2$ 内に十分に処理が完了可能なクロック周波数 f_{max} で動作させる。その処理にかかった時間 $T_{acc} 3$ が $T_{acc} 3 < (T_f - T_{R} 2)$ である場合、すなわち、割り当てられたブロック群がタイムスロット $T_{slot} 1$, $T_{slot} 2$ 内で処理が完了した場合、次のタイムスロット $T_{slot} 3$ に割り当てられたブロック群の処理に使用可能な処理時間 $T_{tar} 3$ は $T_{tar} 3 = T_f - T_{acc} 3 - T_{R} 3 - T_{rd}$ であり、この処理時間 $T_{tar} 3$ 内に $T_{slot} 3$ に割り当てられたブロック群の処理が完結すればよいので、このブロック群に対しては動作周波数を下げて動作させる。図 13 の処理時間 T_{f1} , T_{f2} , T_{f3} は、タイムスロット $T_{slot} 3$ において負荷が最大の場合に、各動作周波数 f_1 , f_2 , f_3 で動作させたときの処理時間を示す。動作周波数としては、図 13 において $f_2 = f_{max} / 2$ の動作周波数を選択すれば、負荷が最大の場合でもタイムスロット $T_{slot} 1$ からタイムスロット $T_{slot} 3$ までに完了されるべき処理時間が $(T_f - T_{R} 3)$ 以内である、次のタイムスロット $T_{slot} 4$ に処理が入り込むことはない。一方、動作周波数 $f_3 = f_{max} / 3$ を選択した場合は、処理時間 T_{f3} が処理時間 $T_{tar} 3$ を超えてしまう。したがって、このタイムスロット $T_{slot} 3$ で処理すべきブロック群に対しては $f_2 = f_{max} / 2$ の動作周波数及びその動作周波数に適する動作電源電圧で動作させる。同様に、タイムスロット T_{slot} 毎にこの処理を行う。

【0009】

これにより、動的に動作クロック周波数及び動作電源電圧を変更するに際し、所定時間内に所定数のブロック群を処理可能な動作周波数のうち最小の動作周波数を選択することにより、総合的に動作周波数及び動作電源電圧を下げて動作させ、必要処理に応じて電圧を制御することにより、低消費電力化が図られている。

【0010】

ところで、ある一定の処理時間 (例えば、ここでは 1 フレームの処理時間 T_f) に完了すべき処理 (例えば、ここでは 1 フレームの処理) に対しては、1 フレームの処理時間を通してプロセッサを一定の動作電源電圧及び動作周波数で動作させて処理することが好ましい。すなわち、1 フレームの処理時間を T_f (秒) とし、演算量 K_f (サイクル) とし、動作周波数 F_f とすると、動作周波数 $F_f = K_f / T_f$ (サイクル/秒) に設定し、1 フレームの処理時間 T_f を通してプロセッサを一定の動作周波数 F_f で動作させることにより、その処理時間 T_f 内で動作周波数 F_f を何回も変動させる場合と比較して、より低消費電力化が可能となる。この証明は後述する第 1 の実施の形態の証明 2 で行う。

【0011】

しかしながら、非特許文献 1 では、処理時間 T_f の同期する単位が 1 フレームであるにもかかわらず、1 フレーム内で最大 N 回の動作電源電圧及び動作周波数の変更が行われており、低消費電力が十分に図られていなかった。すなわち、本従来例のように多段階に動作電源電圧及び動作周波数を制御可能なプロセッサでの動画像符号化又は復号化処理の低消費電力化は、1 フレームの処理中に何回も動作電源電圧及び動作周波数を変更する必要があった。一方、上述のように、処理時間の制約の単位がフレームであるため、1 フレーム

ムの処理中は処理を可能にする最低限の一定の周波数で制御するのが好ましい。そのため、1 フレームの処理中に最大N回動作電源電圧及び動作周波数が変更される本従来例では十分な低消費電力化ができていなかった。

【発明の開示】

【発明が解決しようとする課題】

【0 0 1 2】

ところで、プロセッサの低消費電力化を妨げる他の要因の一つとして、プロセッサを構成するMOSトランジスタのサブスレッショルドリーク電流が挙げられる。サブスレッショルドリーク電流は、半導体基板に形成されるMOSトランジスタのゲート電圧がしきい値電圧以下のとき流れる微少電流である。このサブスレッショルドリーク電流による消費電力は、MOSトランジスタの微細化が高まるにつれて支配的となる傾向にあり、半導体基板にMOSトランジスタが集積されたプロセッサを使用して動画像の符号化又は復号化を行う動画像符号化又は復号化システムにおいて、低消費電力化を妨げる要因の一つとなっている。

【0 0 1 3】

このサブスレッショルドリーク電流は、1 フレームの処理時間 T_f 内でプロセッサの動作周波数 F_f を何回も変動させる場合と比較して、処理時間 T_f を通して一定の動作周波数 F_f で動作させることにより低減され、プロセッサの低消費電力化が可能となる。この証明は後述する第1の実施の形態の証明1で行う。上記非特許文献1の発明は、処理時間 T_f の同期する単位が1 フレームであるにもかかわらず、1 フレーム内で最大N回の動作周波数の変更が行われており、動作電源電圧のみならずサブスレッショルドリーク電流の観点からも好ましくなかった。

【0 0 1 4】

一方、MOSトランジスタに関しては、MOSトランジスタが形成される半導体領域の基板バイアス電圧を制御することにより、サブスレッショルドリーク電流を制御できることが知られている。

【0 0 1 5】

そこで本発明は、前記のような課題を解決するためのものであり、サブスレッショルドリーク電流の低減により低消費電力化を図ることができる動画像符号化又は復号化処理システム、及び、動画像符号化又は復号化処理方法を提案することにある。

【課題を解決するための手段】

【0 0 1 6】

発明者等は、MOSトランジスタを集積した半導体素子であるプロセッサに関して、基板バイアス電圧の制御によりサブスレッショルドリーク電流を抑制し、プロセッサの低消費電力化が実現可能であることを確認した。以下に、基板バイアス電圧の制御方法と制御による低消費電力効果について詳述する。たとえば、プロセッサをトリプルウェル構造とすることで、基板バイアス電圧 V_{bn} をn-チャネルMOSトランジスタに印加でき、基板バイアス電圧 V_{bp} をp-チャネルMOSトランジスタに印加でき、基板バイアス電圧が制御可能となる。

【0 0 1 7】

図15はトリプルウェル構造のプロセッサ1の部分断面図である。プロセッサ1は、P型半導体基板p-subにn型ウェルn-wellを形成し、さらに、n型ウェルn-wellにp型ウェルp-wellを形成することによってトリプルウェル構造としたものである。p型ウェルp-wellには、n-チャネルMOSトランジスタとp型ウェルコンタクト層p-Contactとが形成されている。n-チャネルMOSトランジスタは、n型の不純物層からなるソース／ドレイン層S、Dと、ゲート電極Gとを有する。n型ウェルn-wellには、p-チャネルMOSトランジスタとn型ウェルコンタクト層n-Contactとが形成されている。n-チャネルMOSトランジスタは、p型の不純物層からなるソース／ドレイン層S、Dと、ゲート電極Gとを有する。n-チャネルMOSトランジスタが形成される半導体領域であるp型ウェルp-wellにはp型ウェルコンタクト層p

n-Contactを介して基板バイアス電圧 V_{bn} が印加される。p-チャネルMOSトランジスタが形成される半導体領域であるn型ウエル $n-well$ にはn型ウエルコンタクト層 $n-Contact$ を介して基板バイアス電圧 V_{bp} が印加される。

【0018】

図16は、n-チャネルMOSトランジスタの基板バイアス電圧 V_{bn} としきい値電圧 V_{tn} の関係の例、ならびにp-チャネルMOSトランジスタの基板バイアス電圧 V_{bp} としきい値電圧 V_{tp} の関係の例を表している。n-チャネルMOSトランジスタの基板バイアス電圧 V_{bn} が上がるとしきい値電圧 V_{tn} が下がり、p-チャネルMOSトランジスタの基板バイアス電圧 V_{bp} が上がるとしきい値電圧 $-V_{tp}$ が上がり、基板バイアス電圧 V_{bn} 、 V_{bp} を変化させることで、しきい値電圧 V_{tn} 、 $-V_{tp}$ を制御できる。図17の例に示すように、しきい値電圧 V_{tn} 、 $-V_{tp}$ が下がると一般にプロセッサの動作周波数が下がり、しきい値電圧の制御によりプロセッサ1の動作周波数 f が変化する。図18の(1)は V_{tn} 、 $-V_{tp}$ がそれぞれ0[V]の場合、(2)は V_{tn} 、 $-V_{tp}$ がそれぞれ0.1[V]の場合、(3)は V_{tn} 、 $-V_{tp}$ がそれぞれ0.2[V]の場合のしきい値電圧 V_{tn} 、 $-V_{tp}$ とサブスレッショルドリーク電流 I_{st} の関係の例を表す。図18に示すように、しきい値電圧 V_{tn} 、 $-V_{tp}$ が上がるとサブスレッショルドリーク電流 I_{st} が下がり、しきい値電圧 V_{tn} 、 $-V_{tp}$ を制御することによりサブスレッショルドリーク電流 I_{st} を制御できる。したがって、基板バイアス電圧 V_{bn} 、 V_{bp} によりサブスレッショルドリーク電流 I_{st} を制御できる。そこで、演算量に適する動作周波数 f を算出し、動作周波数 f を実現することができ、かつ、サブスレッショルドリーク電流 I_{st} を抑制できるように基板バイアス電圧 V_{bn} 、 V_{bp} を制御し、その動作周波数 f でプロセッサを一定に動作させながら、1フレームの符号化又は復号化処理を行うことにより、サブスレッショルドリーク電流 I_{st} を抑制することができる。たとえば、動作周波数を低く設定できるとき、基板バイアス電圧を下げることによりしきい値電圧を上げることができ、サブスレッショルドリーク電流を抑制することができる。よって、全電流を抑制することができ、低消費電力化を実現できる。

【0019】

以上の結果から、発明者等は基板バイアス電圧を制御することにより、サブスレッショルドリーク電流を抑制し、低消費電力を実現する本発明を完成させた。

【0020】

すなわち、本発明の請求項1記載の動画像符号化又は復号化処理システムは、半導体基板にMOSトランジスタが集積されたプロセッサを使用して連続する複数のフレームから構成される動画像をフレーム単位で順次符号化又は復号化する動画像符号化又は復号化手段を有し、前記プロセッサは動作周波数及び基板バイアス電圧が制御可能である動画像符号化又は復号化処理システムにおいて、これから符号化又は復号化される任意の1フレームを所定フレームとすると、所定フレームの符号化又は復号化に必要な必要演算量を計算する必要演算量計算手段と、所定フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な基板バイアス電圧及び動作周波数を決定する基板バイアス電圧・動作周波数決定手段とを備え、前記プロセッサは、前記基板バイアス電圧・動作周波数決定手段により決定された基板バイアス電圧及び動作周波数によりフレーム単位で一定に動作しながら、前記動画像符号化又は復号化手段が所定フレームの符号化又は復号化処理を行うことを特徴とする。

【0021】

符号化・復号化方式(MPEG等)の規定においては、所定フレームに対して予め処理時間が割り当てられている。請求項1記載の発明によれば、必要演算量計算手段により所定フレームの符号化又は復号化に必要な必要演算量が計算され、基板バイアス電圧・動作周波数決定手段により所定フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な基板バイアス電圧及び動作周波数が決定され、前記プロセッサは前記算出された動作周波数及び基板バイアス電圧で一定に動作しながら、動画像符号化又は復号化手段により所定フレームの符号化又は復号化処

理を行う。したがって、フレームごとに一定の基板バイアス電圧及び動作周波数でプロセッサを動作させながら、そのプロセッサにより符号化又は復号化処理が行われることとなり、フレームを分割して成る所定数のブロックごとに動作周波数及び動作電源電圧が決定されることで一のフレームの符号化・復号化処理中に何度も基板バイアス電圧及び動作周波数が変更される従来技術と比較して、サブスレッショルドリーク電流 I_{st} が抑制され、低消費電力化を図ることができる。プロセッサの基板バイアスと動作周波数の制御は、それぞれ基板バイアス制御手段・動作周波数制御手段により行われる。

【0022】

サブスレッショルドリーク電流の過剰な抑制は、かえって低消費電力化を阻害する場合がある。そこで、さらに効果的に低消費電力化を図るためには、基板バイアス電圧に加えて動作電源電圧を制御することが好ましい。以下に、動作周波数と動作電源電圧・基板バイアス電圧の関係について詳述する。たとえば、プロセッサ 1 および（又は）局部復号メモリ等を含めた周辺装置で消費される電流が、

$$I = I_{cd} + I_{st} \cdots (\text{数式 20})$$

で表されるとする。ここで、 I_{cd} は充放電電流であり、

$$I_{cd} = a \times C \times f \times V_{DD} \cdots (\text{数式 21})$$

a : 係数、 C : プロセッサのトランジスタ数

f : 動作周波数、 V_{DD} : 動作電源電圧

である。一方、 I_{st} はサブスレッショルドリーク電流であり、

$$I_{st} = I_0 \times 10^{((V_{gs} - V_t) / S)} \cdots (\text{数式 22})$$

I_0 : 定数、 V_{gs} : ゲートソース間電圧、

V_t : しきい値電圧、 S : サブスレッショルド swing

である。また、しきい値電圧は基板バイアス電圧を用いて

$$V_t = V_{t0} + \gamma \sqrt{(\delta - V_{BB})} \cdots (\text{数式 23})$$

V_{t0} 、 γ 、 δ : 定数、 V_{BB} : 基板バイアス電圧

と表される。一方、動作周波数は動作電源電圧としきい値電圧を用いて、

$$f = K \times (V_{DD} - V_t)^{1.3} / V_{DD} \cdots (\text{数式 24})$$

K : 係数

と表される。回路で消費される消費電力 P は、

$$P = P_{cd} + P_{st} \cdots (\text{数式 25})$$

$P_{cd} = V_{DD} \times I_{cd}$: 充放電電流によるダイナミック電力

$P_{st} = V_{DD} \times I_{st}$: サブスレッショルドリーク電流によるスタティックリーク電力

と表される。図 19 は、プロセッサの動作周波数 f を一定とした場合の消費電力 P と動作電源電圧 V_{DD} の関係を表した図である。たとえば、プロセッサ 1 の動作電源電圧 V_{DD} を下げる場合、充放電電流 I_{cd} は減少するが、動作周波数 f を維持するために基板バイアス電圧 V_{BB} を上げてしきい値電圧 V_t を下げる必要があり、それに伴ってサブスレッショルドリーク電流 I_{st} が増加する。よって、消費電力 P には最小値が存在し、消費電力が最小値となるような動作電源電圧 V_{DD} と基板バイアス電圧 V_{BB} の組合せが存在する。動作電源電圧 V_{DD} と基板バイアス電圧 V_{BB} を制御し、特定の動作周波数 f に対し消費電力 P を最小にするような動作電源電圧 V_{DD} および基板バイアス電圧 V_{BB} でプロセッサ 1 を動作させることにより、さらに効果的に低消費電力化を図ることができる。

【0023】

以上の結果から、発明者等は基板バイアス電圧のみならず動作電源電圧をも制御することにより、サブスレッショルドリーク電流及び充放電電流を適度に抑制し、さらに効果的に低消費電力化を実現できる本発明を完成させた。

【0024】

すなわち、本発明の請求項 2 記載の動画像符号化又は復号化処理システムは、半導体基板に MOS トランジスタが集積されたプロセッサを使用して連続する複数のフレームから構成される動画像をフレーム単位で順次符号化又は復号化する動画像符号化又は復号化手

段を有し、前記プロセッサは動作周波数、基板バイアス電圧及び動作電源電圧が制御可能である動画像符号化又は復号化処理システムにおいて、これから符号化又は復号化される任意の一のフレームを所定フレームとすると、所定フレームの符号化又は復号化に必要な必要演算量を計算する必要演算量計算手段と、所定フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な動作電源電圧、基板バイアス電圧及び動作周波数を決定する動作電源電圧・基板バイアス電圧・動作周波数決定手段とを備え、前記プロセッサは、前記動作電源電圧・基板バイアス電圧・動作周波数決定手段により決定された基板バイアス電圧、動作電源電圧及び動作周波数によりフレーム単位で一定に動作しながら、前記動画像符号化又は復号化手段が所定フレームの符号化又は復号化処理を行うことを特徴とする。

【0025】

上述のように、消費電力 P は、サブスレッショルドリーク電流 I_{st} のみならず充放電電流 I_{cd} による影響も大きいことから、基板バイアス電圧 V_{BB} とともに動作電源電圧 V_{DD} を制御することにより、サブスレッショルドリーク電流 I_{st} 及び充放電電流 I_{cd} を適度に抑制し、より効果的に低消費電力化を実現することが可能となる。本発明によれば、プロセッサは、フレームごとに一定の動作電源電圧及び基板バイアス電圧及び動作周波数で動作しながら、符号化又は復号化処理が行われることとなる。フレームを分割して成る所定数のブロックごとに動作周波数及び動作電源電圧及び基板バイアス電圧が決定されることで一のフレームの符号化・復号化処理中に何度も動作電源電圧及び動作周波数が変更される従来技術と比較して、低消費電力化を図ることができる。基板バイアス電圧 V_{BB} のみならず動作電源電圧 V_{DD} についても制御するため、サブスレッショルドリーク電流 I_{st} と充放電電流 I_{cd} とが適度に抑制され、より効果的な低消費電力化が実現される。ここで、一定の動作周波数に適する動作電源電圧及び基板バイアス電圧は、消費電力 P が最小となる組み合わせであることが好ましい。

【0026】

請求項3記載の動画像符号化又は復号化処理システムは、請求項1記載の発明を前提として、前記プロセッサは動作周波数が r 段階（ r は2以上の整数）に可変であり、前記基板バイアス電圧・周波数決定手段は、前記必要演算量計算手段により算出された前記所定フレームの必要演算量 K_p と、所定フレームの処理に割り当てられる時間 T_f とから、時間 T_f で必要演算量 K_p を処理するに必要な動作周波数 F_f を $F_f = K_p / T_f$ で計算し、前記プロセッサが動作可能な動作周波数から前記必要な動作周波数 F_f 以上であり且つその動作周波数 F_f に最も近い動作周波数 F を選択するとともに、選択された動作周波数 F に適する基板バイアス電圧 V_{BB} を決定することを特徴とする。請求項4記載の発明は、請求項2記載の発明を前提として、前記プロセッサは動作周波数が r 段階（ r は2以上の整数）に可変であり、前記動作電源電圧・基板バイアス電圧・周波数決定手段は、前記必要演算量計算手段により算出された前記所定フレームの必要演算量 K_p と、所定フレームの処理に割り当てられる時間 T_f とから、時間 T_f で必要演算量 K_p を処理するに必要な動作周波数 F_f を $F_f = K_p / T_f$ で計算し、前記プロセッサが動作可能な可能動作周波数から前記必要な動作周波数 F_f 以上であり且つその動作周波数 F_f に最も近い動作周波数 F を選択するとともに、選択された動作周波数 F に適する基板バイアス電圧 V_{BB} 及び動作電源電圧 V_{DD} を決定することを特徴とする。

【0027】

請求項3又は請求項4記載の発明によれば、時間 T_f で必要演算量 K を処理するに必要な動作周波数 F_f が $F_f = K / T_f$ で計算された後に、前記プロセッサが動作可能な可能動作周波数から前記必要な動作周波数 F_f 以上であり且つその動作周波数 F_f に最も近い動作周波数 F を選択する計算が行われるとともに、選択された動作周波数 F に適する基板バイアス電圧 V_{BB} が決定されるか、又は、選択された動作周波数 F に適する動作電源電圧 V_{DD} 及び基板バイアス電圧 V_{BB} が決定され、プロセッサがその決定された動作周波数 F と基板バイアス電圧 V_{BB} 、又は、動作周波数 F と動作電源電圧 V_{DD} と基板バイアス電圧 V_{BB} で一定に動作しながら動画像符号化又は復号化手段により所定フレームの符号化

又は復号化処理を行う。すなわち、プロセッサが動作可能な可能動作周波数及び基板バイアス電圧のうち、所定フレームに割り当てられた時間 T_f 内に必要演算量 K を処理可能な最小の動作周波数 F 及び基板バイアス電圧 V_{BB} により、プロセッサを一定に動作させながら、そのプロセッサ上で動作する符号化又は復号化手段により所定フレームの符号化又は復号化処理が行われるか、または、プロセッサが動作可能な可能動作周波数と動作電源電圧 V_{DD} と基板バイアス電圧 V_{BB} のうち、所定フレームに割り当てられた時間 T_f 内に必要演算量 K を処理可能な最小の動作周波数 F と動作電源電圧 V_{DD} と基板バイアス電圧 V_{BB} により、プロセッサを一定に動作させながら、そのプロセッサ上で動作する符号化又は復号化手段により所定フレームの符号化又は復号化処理が行われるため、可能動作周波数が段階的に可変なプロセッサが使用されても、低消費電力化が効率的に行われる。

【0028】

本発明の請求項 5 記載の動画像符号化又は復号化処理システムは、請求項 1 乃至請求項 4 のいずれか 1 項に記載の発明を前提として、前記必要演算量計算手段で算出された必要演算量が実際に必要な演算量よりも小さい場合に起きる破綻現象を回避する破綻回避手段を備えることを特徴とする。

【0029】

前記必要演算量計算手段で算出された必要演算量が実際に必要な演算量よりも小さい値である場合には、予め定められた時間内に所定フレームの符号化又は復号化処理が完了せず、画像が劣悪になる破綻現象が起こるが、本発明は破綻現象を回避する一つ以上の破綻回避手段を備えるため破綻現象の発生が回避される。

【0030】

本発明の請求項 6 記載の動画像符号化又は復号化処理システムは、前記請求項 5 記載の発明を前提として、前記破綻回避手段として、前記必要演算量計算手段により算出された必要演算量を所定値だけ増加させる第 1 の破綻回避手段を少なくとも備えることを特徴とする。

【0031】

この発明によれば、破綻回避手段が必要演算量を所定値だけ増加させるため、必要演算量計算手段により算出された必要演算量が実際の演算量を満たす可能性が高くなり、必要演算量が現実の演算量よりも小さいことにより生じる破綻現象を回避することができる。

【0032】

本発明の請求項 7 記載の動画像符号化又は復号化処理システムは、前記請求項 6 に記載の発明を前提として、前記第 1 の破綻回避手段は、必要演算量計算手段により算出された必要演算量を m 倍 (m は 1 以上の実数) 又は必要演算量に 0 より大きい実数 n を加算することを特徴とする。

【0033】

この発明によれば、第 1 の破綻回避手段は必要演算量を m 倍又は必要演算量に n を加算するため、 m や n の値を調節することで、必要演算量計算手段により算出された必要演算量を、現実の演算量よりも大きく且つ現実の演算量に近似した値とすることができ、破綻現象を回避することができる。

【0034】

本発明の請求項 8 記載の動画像符号化又は復号化処理システムは、前記請求項 5 記載の発明を前提として、前記破綻回避手段として、前記必要演算量計算手段で算出された必要演算量が、前記動画像符号化又は復号化手段による符号化又は復号化処理に実際に必要な演算量よりも小さいか否かを判断し、小さいと判断した場合には破綻現象を回避する処理を行う第 2 の破綻回避手段を備えることを特徴とする。

【0035】

この発明によれば、第 2 の破綻回避手段が、前記必要演算量計算手段で算出された必要演算量が実際に必要な演算量よりも小さいか否かを判断し、小さいと判断した場合には破綻現象を回避する処理を行うため、破綻現象が起こる場合にのみ破綻現象を回避する処理が行われ、効率的に破綻現象を回避することができる。

【0 0 3 6】

本発明の請求項 9 記載の動画像符号化処理システムは、前記請求項 8 記載の発明を前提として、前記第 2 の破綻回避手段として、所定のタイミングで動画像符号化手段による符号化に割り込み処理を行い、符号化処理がなされていないマクロブロックの有無を確認し、符号化がなされていないマクロブロックがある場合は、当該マクロブロックに対して無効ブロック化処理を行う無効ブロック化手段を少なくとも備えることを特徴とする。

【0 0 3 7】

たとえば、所定フレームの符号化処理に予め割り当てられた時間のうち、総てのマクロブロックを無効ブロック化する処理時間を残したタイミングなどの所定のタイミングにおいて、符号化されていないマクロブロックがある場合は破綻現象が生じる可能性が高い。本発明によれば、第 2 の破綻回避手段である無効ブロック化手段が、例えば上記タイミングで動画像符号化手段による処理に割り込みを行い、符号化がなされていないマクロブロックがある場合は、前記必要演算量計算手段で算出された必要演算量が実際に必要な演算量よりも小さいと判断し、当該マクロブロックに対して無効ブロック化処理を行うため、破綻現象を回避することができる。

【0 0 3 8】

本発明の請求項 1 0 記載の動画像符号化又は復号化処理システムは、前記請求項 8 記載の発明を前提として、前記第 2 の破綻回避手段として、所定のタイミングで動画像符号化又は復号化手段による符号化又は復号化処理に割り込みを行い、その割り込み時点において、必要演算量計算手段で算出された所定フレームの必要演算量の残量が、符号化又は復号化処理手段による所定フレームの符号化又は復号化処理に実際に必要な演算量の残量よりも小さい場合は、プロセッサの動作周波数を上げ、その動作周波数に適する基板バイアス電圧でプロセッサを動作させる演算残量判断手段を少なくとも備えることを特徴とする。また、本発明の請求項 1 1 記載の動画像符号化又は復号化処理システムは、前記請求項 8 記載の発明を前提として、前記第 2 の破綻回避手段として、所定のタイミングで動画像符号化又は復号化手段による符号化又は復号化処理に割り込みを行い、その割り込み時点において、必要演算量計算手段で算出された所定フレームの必要演算量の残量が、符号化又は復号化処理手段による所定フレームの符号化又は復号化処理に実際に必要な演算量の残量よりも小さい場合は、プロセッサの動作周波数を上げ、その動作周波数に適する動作電源電圧及び基板バイアス電圧でプロセッサを動作させる演算残量判断手段を少なくとも備えることを特徴とする。

【0 0 3 9】

請求項 1 0 又は請求項 1 1 記載の発明によれば、第 2 の破綻回避手段である演算残量判断手段が、所定のタイミングで動画像符号化又は復号化手段による処理に割り込みを行い、その割り込み時点において、必要演算量計算手段で算出された所定フレームの必要演算量の残量が、符号化又は復号化処理手段による所定フレームの符号化又は復号化処理において実際に必要な演算量の残量よりも小さい場合は、プロセッサの動作周波数を上げ、その動作周波数に適する基板バイアス電圧でプロセッサを動作させるか、又は、その動作周波数に適する動作電源電圧及び基板バイアス電圧でプロセッサを動作させるため、プロセッサの計算速度が向上して処理可能な処理量が増加し、破綻現象を回避できる可能性が高くなる。割り込みの回数を複数回とすると、処理状態に合わせて動作周波数と基板バイアス電圧、又は、動作周波数と動作電源電圧と基板バイアス電圧を段階的に上げることができ、破綻現象を回避できる可能性がさらに高められる。

【0 0 4 0】

本発明の請求項 1 2 記載の動画像符号化又は復号化処理システムは、前記請求項 1 乃至請求項 1 1 のいずれか 1 項に記載の発明を前提として、連続する複数のフレームのうち前記所定フレームより前に符号化処理されるフレームを前フレームとすると、動画像符号化処理を行う場合において、前記必要演算量計算手段は、所定フレームと前フレームとの動き量、所定フレームのアクティビティの量、前フレームのアクティビティの量、前フレームの量子化ステップサイズの平均値、前フレームの量子化ステップサイズの平均値とその

一つ前のフレームの量子化ステップサイズの平均値の差、前フレームのマクロブロックマッチング回数、前フレームの有効ブロック数、前フレームの有効係数の数、前フレームの符号化に実際に要した演算量、前フレームの発生ビット数、所定フレームの符号化ビットレート、所定フレームについてフレーム内符号化又はフレーム間符号化のいずれであるかの種類、必要演算量計算手段により算出された前フレームの必要演算量のうち、一つ以上の要素を使用して必要演算量を計算することの特徴とする。本発明の請求項13記載の動画像符号化又は復号化処理システムは、前記請求項1乃至請求項11のいずれか1項に記載の発明を前提として、連続する複数のフレームのうち前記所定フレームより前に復号化処理されるフレームを前フレームとすると、動画像復号化処理を行う場合において、前記必要演算量計算手段は、所定フレームの符号化データのビット数、前記所定フレームがフレーム内符号化されたものであるか又はフレーム間符号化されたものであるかの種類、所定フレーム若しくは前フレームの動きベクトルの大きさの平均値、所定フレーム若しくは前フレームの動きベクトルの大きさの分散、所定フレーム若しくは前フレームの有効ブロック数、所定フレーム若しくは前フレームの有効係数の数、所定フレーム若しくは前フレームのビットレート、所定フレーム若しくは前フレームの符号量、所定フレーム若しくは前フレームの量子化ステップサイズの平均値、量子化ステップサイズの平均値の差(所定フレームと一つ前のフレームの量子化ステップサイズの差、もしくは一つ前のフレームの量子化ステップサイズと二つ前のフレームの量子化ステップサイズの差)、前フレームの復号化に実際に要した演算量、必要演算量計算手段により算出された前フレームの必要演算量のうち一つ以上の要素を使用して必要演算量を計算することの特徴とする。

【0041】

前記複数の要素はそれぞれ符号化又は復号化処理において必要演算量に影響を与える要素である。本発明によれば、前記要素のうち一つ以上が必要演算量計算手段の要素として使用されて必要演算量が計算されるため、必要演算量計算手段により計算される必要演算量が現実の符号化又は復号化処理を行ったときの演算量により近い値となる。したがって、算出された必要演算量が現実の演算量よりも大き過ぎて低消費電力化が阻害される可能性が少なく、また、必要演算量が現実の演算量よりも小さくて符号化又は復号化処理が時間内に完了しないという破綻現象が上記破綻回避手段によらなくても発生しにくい。

【0042】

本発明の請求項14記載の動画像符号化又は復号化処理方法は、半導体基板にMOSトランジスタが集積されたプロセッサが連続する複数のフレームから構成される動画像をフレーム単位で順次符号化又は復号化し、前記プロセッサは動作周波数及び基板バイアス電圧が制御可能である動画像符号化又は復号化処理方法において、これから符号化又は復号化される任意の一のフレームを所定フレームとすると、所定フレームの符号化又は復号化に必要な必要演算量を計算する必要演算量計算ステップと、所定フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な基板バイアス電圧及び動作周波数を決定する基板バイアス電圧・動作周波数決定ステップと、前記プロセッサが、前記基板バイアス電圧・動作周波数決定ステップにおいて決定された基板バイアス電圧及び動作周波数によりフレーム単位で一定に動作しながら、所定フレームの符号化又は復号化処理を行う動画像符号化又は復号化ステップとを備えることを特徴とする。

【0043】

この発明によれば、フレームごとに一定の基板バイアス電圧及び動作周波数でプロセッサを動作させながら、そのプロセッサにより符号化又は復号化処理が行われることとなり、サブスレッショルドリーク電流 I_{st} が抑制され、低消費電力化を図ることができる。

【0044】

本発明の請求項15記載の動画像符号化又は復号化処理方法は、半導体基板にMOSトランジスタが集積されたプロセッサが連続する複数のフレームから構成される動画像をフレーム単位で順次符号化又は復号化し、前記プロセッサは動作周波数、基板バイアス電圧及び動作電源電圧が制御可能である動画像符号化又は復号化処理方法において、これから

符号化又は復号化される任意の一のフレームを所定フレームとすると、所定フレームの符号化又は復号化に必要な必要演算量を計算する必要演算量計算ステップと、所定フレームの符号化処理又は復号化処理に予め割り当てられている時間内に前記必要演算量を符号化処理又は復号化処理可能な動作電源電圧、基板バイアス電圧、及び、動作周波数を決定する動作電源電圧・基板バイアス電圧・動作周波数決定ステップと、前記プロセッサが、前記動作電源電圧・基板バイアス電圧・動作周波数決定ステップにおいて決定された動作電源電圧、基板バイアス電圧及び動作周波数によりフレーム単位で一定に動作しながら、所定フレームの符号化又は復号化処理を行う動画像符号化又は復号化ステップとを備えることを特徴とする。

【0045】

この発明によれば、基板バイアス電圧 V_{BB} のみならず動作電源電圧 V_{DD} についても制御するため、サブスレッショルドリーク電流 I_{st} と充放電電流 I_{cd} とが適度に抑制され、より効果的な低消費電力化が実現される。

【発明の効果】

【0046】

以上説明したように、本発明の動画像符号化又は復号化システムと動画像符号化又は復号化処理方法によれば、これから符号化又は復号化する所定フレーム（未来に符号化又は復号化するフレーム）に対して、符号化又は復号化に要する必要演算量を予測する計算を行い、その所定フレームの処理に割り当てられた時間内は一定の動作周波数で制御することにより、フレーム単位に基板バイアス電圧・動作周波数、又は、動作電源電圧・基板バイアス電圧・動作周波数が動的に制御されるため、低消費電力を実現することができる。

【0047】

また、破綻回避手段を備えるため、必要演算量計算手段で算出された必要演算量が実際に必要な演算量よりも小さい場合に起きる破綻現象を回避することができ、符号化又は復号化処理された動画像が劣悪になるのを防止することができる。

【発明を実施するための最良の形態】

【0048】

以下、本発明の動画像符号化又は復号化処理システム及び動画像符号化又は復号化処理方法について。本発明の動画像符号化又は復号化システムは、後述するプロセッサ 1 が動画像符号化処理及び動画像復号化処理を行うものであり、動画像符号化を行う場合は動画像符号化処理システムとして機能し、動画像復号化を行う場合を動画像復号化処理システムとして機能する。たとえば、本発明の動画像符号化又は復号化処理システムとしては、フレーム単位若しくは時間単位で符号化又は復号化を行うものでも良く、また、復号化処理のみ又は符号化処理のみを行うものでも良い。以下、説明の便宜上、符号化を行う場合を動画像符号化システムとし、復号化を行う場合を動画像復号化システムとし、動画像符号化処理と動画像復号化処理に分けて詳述する。

【0049】

（第 1 の実施の形態）

本発明の第 1 の実施の形態の動画像符号化処理システム S 1 は、動作周波数と基板バイアス電圧と動作電源電圧の制御により、サブスレッショルドリーク電流と充放電電流とを適度に抑制し、低消費電力化を図るものである。本システム S 1 は、例えばマイクロコンピュータが内蔵された携帯電話やパーソナルコンピュータ等の情報端末機器であるコンピュータにより実現され、特に、そのコンピュータ内においてマルチメディア信号処理部などの一部として機能するシステムであり、連続する所定数のフレームから構成される動画像をフレーム単位で順次符号化を行うシステムである。

【0050】

図 1 は、本実施の形態の動画像符号化処理システム S 1 の動作を示した概略ブロック図である。動画像符号化処理システム S 1 は、動作電源電圧及び基板バイアス電圧 V_{BB} 及び動作周波数が r 段階（ r は 2 以上の整数）に可変であり（すなわち、 r 段階の動作電源電圧及び基板バイアス電圧 V_{BB} 及び動作周波数 f で動作可能であり）且つプログラムに

より動作電源電圧及び基板バイアス電圧及び動作周波数を変更可能なプロセッサ1と、プロセッサ1の動作電源電圧及び基板バイアス電圧及び動作周波数を制御する動作電源電圧・基板バイアス電圧・動作周波数制御手段4と、所定のデータを記憶する記憶領域である局部復号フレームメモリ6と入力フレームメモリ7と要素メモリ8と処理済みマクロブロック数レジスタ10とを少なくとも備えるコンピュータ（特にコンピュータ内のマルチメディア信号処理部）である。

【0051】

プロセッサ1は、図15に示すようにトリプルウェル構造をとる半導体素子であり、MOSトランジスタごとに基板バイアス電圧が制御可能となっている。局部復号メモリ6および入力フレームメモリ7は半導体記憶素子であり、動作電源電圧・基板バイアス電圧・動作周波数制御手段4により、プロセッサ1と同様に動作電源電圧・基板バイアス電圧・動作周波数が制御される。

【0052】

動作電源電圧・基板バイアス電圧・動作周波数制御手段4は、DC-DCコンバータなどを備えた動作電源電圧制御手段、n-チャネルMOSトランジスタの基板バイアス電圧を制御するための基板バイアス電圧 V_{bn} 制御手段、p-チャネルMOSトランジスタの基板バイアス電圧を制御するための基板バイアス電圧 V_{bp} 制御手段、PLLなどを備えた動作周波数制御手段からなる。ただし、動作電源電圧・基板バイアス電圧・動作周波数制御手段4の各要素は動画像符号化処理するシステムS1の外に存在し、動画像符号化処理システムS1の外から動作電源電圧または基板バイアス電圧または動作周波数を制御してもよい。プロセッサ1、各メモリ6、7、動作電源電圧・基板バイアス電圧・動作周波数制御手段4は互いに配線を介して接続されている。

【0053】

プロセッサ1は、プロセッサ1上で動作する手段として、必要演算量計算手段2と、動作電源電圧・基板バイアス電圧・動作周波数計算手段3と、動画像符号化手段5と、二つの破綻回避手段9、11を備える。二つの破綻回避手段9、11は、必要演算量計算手段2で算出された必要演算量が、符号化手段5による符号化処理に実際に必要な演算量よりも小さい値を算出した場合に起きる破綻現象を回避するための手段であり、必要演算量計算手段2の一部として機能する第1の破綻回避手段11と、第2の破綻回避手段としての無効ブロック化手段9である。なお、符号101は入力画像データ、符号102は動作電源電圧及び基板バイアス電圧及び動作周波数指示、符号103は前フレームの局部復号データ、符号105は動作電源電圧・基板バイアス電圧・動作周波数供給、符号106はフレームの符号化データ、符号107は前フレームの量子化ステップサイズの平均値の情報、符号108は各フレームについてフレーム内符号化であるかフレーム間符号化であるかの種類、符号109は動画像の符号化ビットレートの情報、符号110は前フレームのアクティビティ量、符号111は前フレームのマクロブロックマッチング回数、符号112は前フレームの有効ブロック数、符号113は前フレームの有効係数の数、符号114は前フレームの量子化ステップサイズの平均値とその一つ前のフレームの量子化ステップサイズの平均値の差、符号115は前フレームの符号化に実際に要した処理量、符号116は必要演算量計算手段2により算出された前フレームの必要演算量、符号117は符号化処理が完了したマクロブロックの数である処理マクロブロック数である。要素メモリ8は、後述する必要演算量計算手段2において使用される複数の要素のうち一部の要素（フレーム内符号化であるかフレーム間符号化であるかの種類108や、符号化ビットレート109や、フレームのアクティビティの量110や、必要演算量計算手段2により算出された必要演算量116）が記憶される記憶領域である。処理済みマクロブロック数レジスタ10は、符号化処理済みのマクロブロック数117の情報を一時的に蓄積するレジスタである。動画像符号化手段5には符号化方式としてMPEG-4が使用されるが、H.26XやMPEG-1、MPEG-2などの他の符号化方式が使用されていても良い。

【0054】

次に、図1に従って本実施の形態の動画像符号化処理システムS1の動作を説明する。

動画像符号化処理システム S1 は、動画像符号化処理プログラム Prg1 によりコンピュータ（特にコンピュータ内のマルチメディア信号処理部）を下記の所定的手段として機能させることにより実現される。以下、順次符号化されるフレームのうちこれから符号化される任意の一のフレームを所定フレーム（すなわち、あるフレームが符号化された時点に基づくとすると次に符号化されるフレームであり、換言すると、その時点において未だに符号化処理されておらず未来に符号化処理が行われる予定であるフレーム）、所定フレームより前に符号化された一のフレーム（過去に符号化されたフレーム）を前フレームとし、所定フレームを符号化する処理について説明するが、いずれのフレームについても同様の処理が行われる。

【0055】

図2はその動画像符号化処理プログラム Prg1 の概略フローチャートを示す図である。動画像符号化処理プログラム Prg1 は、後述するステップ1からステップ5においてコンピュータを下記の各手段として機能させる。（ステップ1）所定フレームの画像情報を入力フレームメモリ7に入力する。（ステップ2）所定フレームの必要演算量 K_p を計算させる必要演算量計算手段2として機能させる。（ステップ3）算出された必要演算量 K_p に応じてプロセッサの動作周波数 F 及び動作電源電圧 V_{DD} 及び基板バイアス電圧 V_{BB} を決定する動作電源電圧・基板バイアス電圧・動作周波数決定手段3として機能させる。（ステップ4）算出された動作周波数 F 及び動作電源電圧 V_{DD} 及び基板バイアス電圧 V_{BB} でプロセッサ1を動作させる制御を行わせる動作電源電圧・基板バイアス電圧・動作周波数制御手段4として機能させる。（ステップ5）所定フレームの画像情報を符号化させる動画像符号化手段5として機能させる。以上、ステップ1からステップ5の処理を入力フレームメモリ7に入力されるフレームの順番（すなわち、符号化される順番）に、すべてのフレームに対して行うことで、動画像の符号化を行う。以下、詳細に説明する。

【0056】

（ステップ1）入力された入力画像データは、フレームの同期をとるため、フレームを一時的に記憶する記憶領域である入力フレームメモリ7に一旦格納される。

【0057】

（ステップ2：必要演算量計算ステップ）必要演算量計算手段2は、入力フレームメモリ7にアクセスして所定フレームの入力画像データ101を取得し、所定フレームの符号化処理に必要な必要演算量 K_p を計算する。必要演算量 K_p の計算方法は様々な方法が考えられるが、たとえば、所定フレームの符号化処理の演算量に影響を与える要素を一つ以上使用して計算することが望ましい。要素としては、例えば、動画像符号化処理において、処理内容が動き補償である場合は、動きの激しい映像では演算量が多く、一方、動きの少ない映像では演算量が少ないことに注目して、所定フレームと前フレームとの動き量として差分絶対値和で計算される歪み値や、また、各々のフレームのアクティビティ量として隣接画素差分絶対値和で計算される値や、マクロブロックマッチング回数や、有効ブロック数や、有効係数の数や、符号化ビットレートや、発生ビット数や、前フレームの符号化に実際に要した演算量や、必要演算量計算手段2により算出された前フレームの必要演算量が挙げられる。ここで、各要素それぞれについて、一つの要素の値のみ変化し、他の要素の値が変化しないと仮定したときに、その一つの要素の値が大きい場合は小さい場合に比較して必要演算量が相対的に大きくなるようにし、その一つの要素の値が小さい場合は大きい場合と比較して必要演算量が相対的に小さくなるようにする。また、所定フレームがフレーム内符号化である場合はフレーム間符号化である場合と比較して必要演算量 K_p が相対的に小さく、フレーム間符号化である場合はフレーム内符号化である場合と比較して必要演算量 K_p が相対的に大きくなるようにする。すなわち、これらの複数の要素は所定フレームの符号化処理のために必要な必要演算量に影響を与える要素であるため、必要演算量計算手段2が、これらの要素に応じて必要演算量 K_p （サイクル）を増減するように計算を行うことにより、必要演算量計算手段2により計算される必要演算量 K_p が現実には符号化処理を行ったときの演算量により近い値となる。

【0058】

たとえば、本実施の形態では、関数Gを使用して計算し、入力フレームメモリ7に記憶されている所定フレームの入力画像データ101と、局部復号フレームメモリ6に蓄積されている復号化された前フレームの局部復号データ103とを比較して、入力画像の動きの大きさの予測（計算）を行う。この前フレームの局部復号データ103は、所定フレームよりも前に符号化が行われる前フレームの符号化処理において、前フレームを符号化して形成した前フレームの符号化データ106を、ローカルデコーダで復号化することにより形成され、局部復号フレームメモリ6に記憶されている。動きの大きさの予測（計算）の一例として、例えば差分絶対値和を用いる。以下に、差分絶対値和 Σ と必要演算量 K_p の求め方を説明する。なお、前フレームの画像データとしては、符号化後にローカルデコーダにより復号化された局部復号データ106を使用しても良いが、入力された前フレームの入力画像データをそのまま使用しても良い。

【0059】

入力フレームメモリ7に蓄積された所定フレームの入力画像データ101を $X(i, j)$ (i は画像の水平方向の座標、 j は垂直方向の座標)、後述する局部復号フレームメモリ6に蓄積された前フレームの局部復号データ103を $Y(i, j)$ (i は画像の水平方向の座標、 j は垂直方向の座標)とすると、所定フレームと前フレームとの動き量は、差分絶対値和 $Z = \Sigma |X(i, j) - Y(i, j)|$ をすべての（またはサンプルした）画素に対して計算する。この差分絶対値和の値を Z とする。一方、フレームのアクティビティ量においては、 $X(i, j)$ において隣接画素差分絶対値和 W 、つまり、水平方向 $W_h = \Sigma |X(i, j) - X(i-1, j)|$ 、垂直方向 $W_v = \Sigma |X(i, j) - X(i, j-1)|$ を計算することにより求められ、全ての（又はサンプルした）入力画像に対して計算する。この隣接画素差分絶対値和の値（すなわち各フレームのアクティビティ量）を W とする。

【0060】

差分絶対値和を Z 、所定フレームのアクティビティ量を W_a 、前フレーム（過去のフレーム）のアクティビティ量を W_b 、前フレームの平均量子化ステップサイズ（量子化ステップサイズの平均値）を Q_{prev} 、前フレームのマクロブロックマッチング回数を M 、前フレームの有効ブロック数を B 、前フレームの有効係数の数を C 、前フレームの符号化に実際に要した処理量を S 、所定フレームの符号化ビットレートを B_R 、前フレームの量子化ステップサイズの平均値とその一つ前のフレームの量子化ステップサイズの平均値の差を ΔQ_{prev} 、前フレームの実際の発生ビット数を D とおくと、これらの要素のうち一つ以上の要素を使用して、必要演算量 K_p は、

$$K_p = G(Z, W_a, W_b, Q_{prev}, M, B, C, S, B_R, \Delta Q_{prev}, D) \dots \quad (\text{数式1})$$

で計算される。ただし、 G は $Z, W_a, W_b, Q_{prev}, M, B, C, S, B_R, \Delta Q_{prev}, D$ のうち、一以上の要素から導き出される関数である。その一例としては、

$$K_p = j + \alpha M + \beta B + \gamma C + \delta Z + \epsilon \Delta Q_{prev} \dots \quad (\text{数式2})$$

が挙げられるが、これに限られるわけではない。また、必要演算量 K_p の計算に使用される要素として、所定フレームがフレーム内符号化であるかフレーム間符号化であるかの種類 I が使用される。所定フレームがフレーム内符号化である場合の必要演算量 K_p は小さい値と、フレーム間符号化である場合の必要演算量 K_p は大きい値となる。すなわち、必要演算量計算手段2は、差分絶対値和 Z を使用するときは差分絶対値和 $Z = \Sigma |X_{ij} - Y_{ij}|$ を計算した後に、必要演算量 $K_p = G(Z, W_a, W_b, Q_{prev}, M, B, C, S, B_R, \Delta Q_{prev}, D)$ を計算する。

【0061】

以下、上記関数 G について説明する。上記関数 G を簡単に説明するため省略して $K_p = G(Z)$ と記載する。所定フレームの動き量が Z_a であり、前フレームの動き量が Z_b であるとき、所定フレームの必要演算量 $K_{pa} = G(Z_a)$ であり前フレームの必要演算量 $K_{pb} = G(Z_b)$ となり、 $Z_a > Z_b$ なら $K_a > K_b$ となるように、 $Z_a < Z_b$ なら $K_{pa} < K_{pb}$ となるように、必要演算量 K_p （サイクル）が設定される関数 G を用いる。

【0062】

また、破綻現象を生じにくくするため、必要演算量計算手段2は第1の破綻回避手段11を備えることが好ましい。第1の破綻回避手段11は、必要演算量計算手段2に含まれる第1の破綻回避手段11が必要演算量 K_p を所定値だけ増加させ、算出された必要演算量 K_p に余裕を持たせる処理を行う。具体的には、必要演算量 K_p を m 倍（ m は1以上の実数）する。たとえば $m=1.1$ とすると、算出した必要演算量 K_p に対し、10%の余裕を持たせることができる。また、必要演算量 K_p に実数 n （ n は0以上の実数）を加算しても良く、算出された必要演算量の値に関わらず一定の値で余裕を持たせることができる。上述の例を用いると、最終的に算出される必要演算量 K_p は、

$$K_p = G(Z) \times m \cdots (\text{数式3})$$

$$K_p = G(Z) + n \cdots (\text{数式4})$$

により求められる。2式を組み合わせると、

$$K_p = G(Z) \times m + n \cdots (\text{数式5})$$

としてもよい。それでも算出された必要演算量 K_p が現実の所定フレームの必要演算量 K_m より小さければ、後述する第2の破綻回避手段である無効ブロック化手段9において処理を行うことにより破綻現象を回避する。

【0063】

なお、動画像の符号化ビットレート109や、所定フレーム及び前フレームについてフレーム内符号化であるかフレーム間符号化であるかの種類108や、前フレームのアクティビティの量110や、必要演算量計算手段により算出された前フレームの必要演算量116は要素が記憶される記憶領域である要素メモリ8に予め記憶されており、必要演算量 K_p の計算時に必要演算量計算手段2に読み込まれて使用される。前フレームの量子化ステップサイズの平均値107、前フレームのマクロブロックマッチング回数111、前フレームの有効ブロック数112、前フレームの有効係数の数113、前フレームの量子化ステップサイズの平均値とその一つ前のフレームの量子化ステップサイズの平均値との差114、及び前フレームの符号化に実際に要した処理量115は前フレームの符号化処理が行われたときに動画像符号化手段5から必要演算量計算手段2にフィードバックされる。必要演算量計算手段2においては、これらの要素のうち一つの要素のみを使用しても良いし、複数の要素を組み合わせ使用しても良い。

【0064】

（ステップ3：動作電源電圧・基板バイアス電圧・動作周波数決定ステップ）動作電源電圧・基板バイアス電圧・動作周波数決定手段3は、必要演算量 K_p の値をもとに、所定フレームの処理に対する動作周波数 F_e （サイクル/秒）を予測する計算を行う。すなわち、符号化方式により処理時間が規定されている最小単位は1フレームであり、所定フレームの符号化処理に割り当てられた時間を T_e （秒）とすると、所定フレームに必要なとされる動作周波数 F_e （サイクル/秒）、すなわち時間 T_e （秒）内に前記必要演算量 K_p を符号化処理可能な動作周波数 T_e （サイクル/秒）は $F_e = K_p / T_e$ で表されることから、動作電源電圧・基板バイアス電圧・動作周波数決定手段3は動作周波数 $F_e = K_p / T_e$ を計算する。ただし、所定フレームの符号化処理に割り当てられた時間 T_e は、1フレームの処理の制限時間 T_f から、所定フレームに対する演算量を予測する時間 T_p 及びプロセッサの動作周波数・動作電源電圧・基板バイアス電圧を変更する時間 T_s を引いた時間である。図4に示すように、プロセッサ1および（又は）局部復号メモリ6等を含めた周辺装置がサポートする動作電源電圧・基板バイアス電圧・動作周波数が r 段階（ r は2以上の整数）で変更可能な場合、動作電源電圧・基板バイアス電圧・動作周波数決定手段3は、 $F(n) > F_f$ であり、且つ $F(n-1) < F_f$ となる動作周波数 $F(n)$ を所定フレームの符号化処理を行う動作周波数として選択する計算を行い、その動作周波数 $F(n)$ に適する動作電源電圧 $V_{DD}(n)$ 及び基板バイアス電圧 $V_{BB}(n)$ を選択する計算を行い、プロセッサ1および（又は）局部復号メモリ6等を含めた周辺装置をその動作周波数 $F(n)$ と動作電源電圧 $V_{DD}(n)$ と基板バイアス電圧 $V_{BB}(n)$ で動作させるように、動作電源電圧・基板バイアス電圧・動作周波数を動作電源電圧・基板バイ

アス電圧・動作周波数制御手段4に指示する（符号102）。なお、 n は1以上 r 以下の整数である。

【0065】

図4の動作周波数・動作電源電圧・基板バイアス電圧の関係は、動作電源電圧・基板バイアス電圧・動作周波数決定手段3において、各動作周波数に対し、プロセッサ1、又は、プロセッサ1及び局部復号メモリ6等を含めた周辺装置で消費される電流が所定値以下となるように動作電源電圧・基板バイアス電圧の組合せがあらかじめ設定されている。たとえば、サブスレッシュホールドリーク電流 I_{st} と充放電電流 I_{cd} との関係から、消費電力 P が最小となる動作電源電圧 V_{DD} と基板バイアス電圧 V_{BB} を実験や計算等により求め、この動作電源電圧 V_{DD} と基板バイアス電圧 V_{BB} の組み合わせとすることが望ましい。ここで、電流の最小化を図る際、各電流要素を1つ以上用いて合計した電流を計算に用いる。なお、動作電源電圧・基板バイアス電圧・動作周波数決定手段3に内蔵するハードウェアおよび（又は）プログラムで、動作周波数に応じた動作電源電圧に対し、自動的に基板バイアス電圧が計算されてもよい。また、動作電源電圧・基板バイアス電圧・動作周波数決定手段3に内蔵するハードウェアおよび（又は）プログラムで、動作周波数に対し、動作電源電圧と基板バイアス電圧が計算されてもよい。

【0066】

（ステップ4）動作電源電圧・基板バイアス電圧・動作周波数制御手段4は、動作電源電圧・基板バイアス電圧・動作周波数決定手段3から指示を受けた動作電源電圧 $V_{DD}(n)$ 及び基板バイアス電圧 $V_{BB}(n)$ 及び動作周波数 $F(n)$ の値をプロセッサ1および（又は）局部復号メモリ6等を含めた周辺装置に供給し（符号105）、その動作電源電圧 $V_{DD}(n)$ 及び基板バイアス電圧 $V_{BB}(n)$ 及び動作周波数 $F(n)$ でプロセッサ1を一定に動作させる制御を行う。これにより、プロセッサ1および（又は）局部復号メモリ6等を含めた周辺装置は、一定の動作電源電圧 $V_{DD}(n)$ 及び基板バイアス電圧 $V_{BB}(n)$ 及び動作周波数 $F(n)$ で動作することになる。具体的には、動作電源電圧・基板バイアス電圧・動作周波数制御手段4に内蔵する動作電源電圧制御手段により動作電源電圧 $V_{DD}(n)$ でプロセッサ1を一定に動作させる制御を行い、基板バイアス電圧 V_{bn} 制御手段により n -チャネルMOSトランジスタに対する基板バイアス電圧 $V_{bn}(n)$ でプロセッサ1を一定に動作させる制御を行い、基板バイアス電圧 V_{bp} 制御手段により p -チャネルMOSトランジスタに対する基板バイアス電圧 $V_{bp}(n)$ でプロセッサ1を一定に動作させる制御を行い、動作周波数制御手段により動作周波数 $F(n)$ でプロセッサ1を一定に動作させる制御を行う。

【0067】

基板バイアス電圧制御は、基板バイアス電圧 $V_{BB}(n)$ に対し、 n -チャネルMOSトランジスタに対し適切な基板バイアス電圧 $V_{bn}(n)$ を印加し、 p -チャネルMOSトランジスタに対し適切な基板バイアス電圧 $V_{bp}(n)$ を印加することにより行う。具体的には、 n -チャネルMOSトランジスタに対する基板バイアス電圧 $V_{bn}(n)$ とグラウンド電位 V_{ss} との電位差を $V_{bbn}(n)$ とし、 p -チャネルMOSトランジスタに対する基板バイアス電圧 $V_{bp}(n)$ と動作電源電圧 $V_{DD}(n)$ との電位差を $V_{bbp}(n)$ とする。すなわち、

$$V_{bn}(n) = V_{bbn}(n) + V_{ss} \cdots \text{(数式6)}$$

$$V_{bp}(n) = V_{bbp}(n) + V_{DD}(n) \cdots \text{(数式7)}$$

の関係が成り立つ。電圧 $V_{bbn}(n)$ と $V_{bbp}(n)$ と動作電源電圧 $V(n)$ は独立に設定できる。ただし、 $V_{bbn}(n)$ は、 n -チャネルMOSトランジスタのドレインソース間 p - n 接合に印加された電圧であり、この電圧が拡散電位 V_{ϕ} を超えないようにし、 $V_{bbp}(n)$ は、 p -チャネルトランジスタのドレインソース間 p - n 接合に印加された電圧であり、この電圧が拡散電位 $-V_{\phi}$ を下回らないようにする。拡散電位 V_{ϕ} は通常0.6Vである。

【0068】

（ステップ5：動画像符号化ステップ）動画像符号化手段5は、動画像符号化处理プロ

グラム $Prg1$ によりコンピュータのプロセッサ 1 上で実現される手段であり、プロセッサ 1 を使用して入力フレームメモリ 7 に格納された入力画像データを動画像符号化を行う単位でアクセスし、符号化処理を行う手段である。すなわち、動画像符号化手段 5 は、入力フレームメモリ 7 から所定フレームの入力画像データ 101 を取得し、符号化して符号化データ 106 を生成する。ステップ 4 において、プロセッサ 1 および（又は）局部復号メモリ 6 等を含めた周辺装置は動作電源電圧・基板バイアス電圧・動作周波数制御手段 4 から供給された一定の動作電源電圧 $VDD(n)$ 及び基板バイアス電圧 $VBB(n)$ 及び動作周波数 $F(n)$ で動作している状態となっているため、ステップ 5 では、動作電源電圧・基板バイアス電圧・動作周波数制御手段 4 がその動作周波数 $F(n)$ 及び動作電源電圧 $VDD(n)$ 及び基板バイアス電圧 $VBB(n)$ でプロセッサ 1 および（又は）局部復号メモリ 6 等を含めた周辺装置を一定に動作させながら、そのプロセッサ 1 を使用して符号化を行う動画像符号化手段 5 が所定フレームの符号化を行うこととなる。たとえば動きの激しい画像（所定フレームの入力画像データ 101）に対してはプロセッサ 1 および（又は）局部復号メモリ 6 等を含めた周辺装置を高い周波数で一定に動作させ、動きの少ない画像に対しては低い周波数で一定に動作させることにより低消費電力化を図ることが可能になる。さらに、動画像符号化手段 5 は、符号化データ 106 を復号する機能を有するローカルデコーダを備えており、所定フレームの符号化データ 106 はローカルデコーダにより復号されて局部復号フレームメモリ 6 に局部復号データ 103 として蓄積される。この所定フレームの局部復号データ 103 は所定フレームの次に符号化されるフレームについて必要演算量 Kp を計算する際に使用される。所定フレームの符号化データ 106 は伝送路を通じて送信されたり、蓄積メディアに蓄積されたりする。

【0069】

さらに、符号化処理システム $S1$ は、破綻回避手段を備えることが好ましい。必要演算量計算手段 2 で算出された必要演算量 Kp が現実の所定フレームの必要演算量よりも小さい場合に生ずる、所定フレームの処理に割り当てられた時間内に処理が完了できないという破綻現象の問題を解決するために、符号化処理システム $S1$ は必要演算量計算手段 2 で算出された必要演算量が実際に必要な演算量よりも小さいか否かを判断し、小さいと判断した場合には破綻現象を回避する処理を行う第 2 の破綻回避手段を備える。本実施の形態では、第 2 の破綻回避手段として無効ブロック化手段 9 を備える。無効ブロック化手段 9 は、ステップ 5 において動画像符号化手段 5 が所定フレームの入力画像データ 101 の符号化処理ルーチンを実行している際に、所定のタイミングで符号化処理ルーチンに割り込みを行い、処理時間内で一時中断し、所定フレームの符号化処理が終了しているか終了していないかを判定し、符号化がなされていないマクロブロックがある場合は、前記必要演算量計算手段で算出された必要演算量が実際に必要な演算量よりも小さいと判断し、当該マクロブロックに対して無効ブロック化処理を行う。ここでは、無効ブロック化手段 9 において、少なくとも破綻現象が起きない時点で割り込みを行った際に符号化処理が完了していなければ、残りの処理を大幅に削減できる処理に変更するなどの無効ブロック化処理を行うことにより、時間内に符号化処理が完了できないという破綻現象を回避できるようにしている。

【0070】

以下に、無効ブロック化手段 9 について具体的に説明する。図 3 は割り込みを行う際の時間と演算残量の関係を示している。動作周波数 F で動作する所定フレームの処理に割り当てられた時間 Tf 内で、1 フレームのマクロブロック数を MB とし、1 つのマクロブロックを無効マクロブロックとして処理する際に必要な演算量を Ks とする。ただし、無効マクロブロックとして処理する際に必要な演算量 Ks は、1 マクロブロックの通常の処理に要する演算量に比べはるかに小さい値であり、どのフレームのマクロブロックに対しても同様の処理を行う。無効ブロック化手段 9 は、割り込みを行う時間 Ti を $Ti = Tf - Ks \times MB / F$ で算出する。割り込みを行う時間は、前記動作電源電圧・基板バイアス電圧・動作周波数決定手段 3 が計算しても良い。次に、無効ブロック化手段 9 は、時間 Ti のタイミングで符号化処理ルーチンに割り込みを行い、処理済マクロブロック数レジスタ 10 か

ら符号化処理が終了したマクロブロックの数 MB_i (符号 117) の読み出しを行って、 $MB_i = MB$ であるか、 $MB_i < MB$ であるかを判断し、符号化処理が完了しているかを判定する。 $MB_i = MB$ であれば、所定フレームの符号化処理が完了しているので、そのまま割り込みルーチンを終了して符号化処理ルーチンに戻る。 $MB_i < MB$ であれば、所定フレームの符号化処理が終了していないので、必要演算量計算手段 2 で算出された必要演算量が実際に必要な演算量よりも小さいと判断し、符号化未処理のマクロブロック総てを無効ブロックとして処理し、符号化処理ルーチンに戻る。時間 T_i のタイミングで割り込みを行う時点で、少なくとも全てのマクロブロックを無効ブロックとして処理する演算量は確保されているため、必ず破綻現象を回避することができる。

【0071】

なお、無効ブロック化処理に換えて、後述するようにプロセッサ 1 の動作周波数を上げ、その動作周波数に適する基板バイアス電圧及び動作電源電圧とすることにより、破綻現象を回避しても良い。この場合は、所定フレームの符号化処理に予め割り当てられている時間内に、符号化未処理のマクロブロック総てを符号化できる程度の時間を残したタイミングで割り込みを行う。

【0072】

(証明 1)

以下に、プロセッサの動作周波数を複数回変更しながら一のフレームを符号化する従来技術と比較して、本願発明がよりサブスレッショルドリーク電流による消費電力を低減できることを証明する。たとえば、プロセッサ 1 の基板バイアス電圧及び動作周波数は図 4 に示すように P 段階に可変とし、任意の一のフレームの必要演算量を K_t とし、そのフレームの処理に割り当てられる時間を T_t とする。図 5 (a) に示すように、動作周波数を F_t と設定し、プロセッサ 1 を動作周波数 F_t で動作させるときの基板バイアス電圧を V_b とし、基板バイアス電圧 V_b に適するしきい値電圧を V_t とし、時間 T_t で必要演算量 K_t の処理が終了する場合を Case 1 とし、図 5 (b) に示すように、初期値の動作周波数を $h * F_t$ と設定し、プロセッサを動作周波数 $h * F_t$ で動作させるときの基板バイアス電圧を V_{b1} とし、基板バイアス電圧 V_{b1} に適するしきい値電圧を V_{t1} とし、時間 T_1 が経過した時点でプロセッサの動作周波数を $h * F_t / 2$ に変更し、プロセッサ 1 を動作周波数 $h * F_t / 2$ で動作させるときの基板バイアス電圧を V_{b2} とし、基板バイアス電圧 V_{b2} に適するしきい値電圧を V_{t2} とし、時間 $T_1 + T_2$ で必要演算量 K_t の処理が終了する場合を Case 2 とし、各 Case 1, Case 2 について前記任意の一のフレームを符号化する場合を考えてみる。ただし、しきい値電圧について $V_{t1} > V_t > V_{t2}$ であり、サブスレッショルドリーク電流による消費電力は、

$$P_{st} = VDD \times I_0 \times 10^{(-V_t/S)} \cdots \text{(数式 8)}$$

I_0 : 定数、 VDD : 動作電源電圧、 V_{gs} : ゲートソース間電圧、

V_t : しきい値電圧、 S : サブスレッショルド swing

と表される。これを用いて Case 1 のサブスレッショルドリーク電流による消費電力 P_{st1} と Case 2 のサブスレッショルドリーク電流による消費電力 P_{st2} を計算すると、

$$P_{st1} = VDD \times I_0 \times 10^{(-V_t/S)} \times T_t \cdots \text{(数式 9)}$$

$$P_{st2} = VDD \times I_0 \times 10^{(-V_{t1}/S)} \times T_1 + I_0 \times 10^{(-V_{t2}/S)} \times T_2 \cdots \text{(数式 10)}$$

となり、

$$P_{st1} : P_{st2} = 10^{(-V_t/S)} \times T_t : (10^{(-V_{t1}/S)} \times T_1 + 10^{(-V_{t2}/S)} \times T_2) \cdots \text{(数式 11)}$$

となる。ここで、たとえば $h = 1.5$ 、 $T_a = 1/3 \times T_t$ 、 $T_b = 2/3 \times T_t$ 、 $V_{t1} = 3 \times S$ 、 $V_{t2} = S$ 、 $V_t = 2 \times S$ とすると、

$$P_{st1} : P_{st2} = 10^{-2} : (10^{-3}/3 + 10^{-1} \times 2/3) \\ \div 0.01 : 0.07 \cdots \text{(数式 12)}$$

となり、 $P_{st1} < P_{st2}$ となる。すなわち、決められた演算量を一定時間で処理する場合、同一演算量 K_t にもかかわらず、Case 1 の場合のように、その時間内で処理が終了

可能な最小の動作周波数により、その処理時間を通してプロセッサの基板バイアス電圧を一定に動作させるほうが、従来のように処理時間中に動作周波数を変更するCase 2の場合よりも低消費電力であることがわかる。したがって、一定の基板バイアス電圧及び動作周波数でプロセッサ 1 を動作させながら一のフレームの符号化処理を行う本発明によれば、ブロックごとに基板バイアス電圧及び動作周波数が決定されるため一のフレームの符号化中に何度も動作周波数が変更される従来技術と比較して、低消費電力化が図られることがわかる。

【0073】

(証明 2)

以下に、プロセッサの動作電源電圧及び動作周波数を複数回変更しながら一のフレームを符号化する従来技術と比較して、本願発明がより低消費電力化を図ることができることを証明する。たとえば、ある特定の時間 T_t にある特定の演算量 K_t を行う場合、その特定の時間の間は、同一周波数で制御を行い、周波数 F_t を

$$F_t = K_t / T_t \cdots (\text{数式 13})$$

に設定すると低消費電力を実現できる。たとえば、プロセッサ 1 の動作電源電圧及び動作周波数は図 4 に示すように P 段階に可変とし、任意の一のフレームの必要演算量を K_t とし、そのフレームの処理に割り当てられる時間を T_t とする。図 6 (a) に示すように、動作周波数を F_t と設定し、プロセッサ 1 を動作周波数 F_t で動作させるときの動作電源電圧を V_{DD} とし、時間 T_t で必要演算量 K_t の処理が終了する場合（すなわち、動作周波数が一定の場合）をCase 1 とし、図 6 (b) に示すように、初期値の動作周波数を $h * F_t$ と設定し、プロセッサを動作周波数 $h * F_t$ で動作させるときの動作電源電圧を V_1 とし、時間 T_1 が経過した時点でプロセッサの動作周波数を $h * F_t / 2$ に変更し、プロセッサ 1 を動作周波数 $h * F_t / 2$ で動作させるときの動作電源電圧を V_2 とし、時間 $T_1 + T_2$ で必要演算量 K_t の処理が終了する場合（すなわち、動作周波数の切り替えが 1 回行われる場合）をCase 2 とし、各Case 1, Case 2 について前記任意の一のフレームを符号化する場合を考えてみる。どちらも同一の演算量、すなわち K_t (サイクル) となる。一方、消費電力は、

$$P = \alpha \times C \times f \times V_{DD}^2 \times t \cdots (\text{数式 14})$$

α : 係数、 C : プロセッサのトランジスタ数

f : 動作周波数、 V_{DD} : 動作電源電圧、 t : 動作時間

で表される。これを用いてCase 1 の消費電力 P_a とCase 2 の消費電力 P_b を計算すると

$$P_a = \alpha \times C \times F_t \times V^2 \times T_t \cdots (\text{数式 15})$$

$$P_b = \alpha \times C \times (h \times F_t) \times V_1^2 \times T_1 + \alpha \times C \times (h \times F_t / 2) \times V_2^2 \times T_2 \cdots (\text{数式 16})$$

となり、

$$P_a : P_b = V^2 \times T_t : (h \times V_1^2 \times T_1 + (h / 2) \times V_2^2 \times T_2) \cdots (\text{数式 17})$$

となる。ここでたとえば $h = 1.5$ 、 $T_1 = 1 / 3 \times T_t$ 、 $T_2 = 2 / 3 \times T_t$ 、 $V = 1$ 、 $V_1 = 1.5$ 、 $V_2 = 0.75$ とすると、

$$P_a : P_b = 1^2 : (1.5 \times 1.5^2 / 3 + (1.5 / 2) \times 0.75^2 \times (2 / 3)) \\ \div 1 : 1.41 \cdots (\text{数式 18})$$

となり、 $P_a < P_b$ となる。すなわち、決められた演算量を一定時間で処理する場合、同一演算量 K_t にもかかわらず、Case 1 の場合のように、その時間内で処理が終了可能な最小の動作周波数により、その処理時間を通してプロセッサを一定に動作させるほうが、従来のように処理時間中に動作周波数を変更するCase 2 場合よりも低消費電力であることがわかる。したがって、一定の動作電源電圧及び動作周波数でプロセッサ 1 を動作させながら一のフレームの符号化処理を行う本発明によれば、ブロックごとに動作電源電圧及び動作周波数が決定されるため一のフレームの符号化中に何度も動作電源電圧及び動作周波数が変更される従来技術と比較して、低消費電力化が図られることがわかる。

【0 0 7 4】

(第 2 の実施の形態)

図 7 は、第 2 の実施の形態の動画像符号化処理システム S 2 の動作を示した概略ブロック図である。本実施の形態の動画像符号化処理システム S 2 は、前記第 1 の実施の形態の動画像符号化処理システム S 1 において、第 2 の破綻回避手段として、無効ブロック化手段 9 と処理済マクロブロック数レジスタ 1 0 に替えて演算残量判断手段 2 9 を少なくとも備える。図 8 はその動画像符号化処理プログラム P r g 2 の概略フローチャートを示す図である。プログラム P r g 2 は、コンピュータを各手段を備える動画像符号化処理システム S 2 として機能させるプログラムである。動画像符号化処理システム S 2 は、前記動画像符号化処理システム S 1 とは異なり、プロセッサ 1 および（又は）局部復号メモリ 6 等を含めた周辺装置を動作させている動作周波数及び動作電源電圧及び基板バイアス電圧の変更する動的動作電源電圧・基板バイアス電圧・動作周波数制御を行うことで、上述の問題を解決するということものである。以下、動的動作電源電圧・基板バイアス電圧・動作周波数制御について詳述する。

【0 0 7 5】

所定フレームの処理に対する動作周波数及び動作電源電圧及び基板バイアス電圧は、必要演算量計算手段 2 により算出された値をもとに動作電源電圧・基板バイアス電圧・動作周波数決定手段 3 により算出される。しかし、算出された必要演算量 K_p の値が実際に所定フレームの処理に必要な必要演算量 K_m よりも小さい場合、必要演算量 K_p の値をもとに算出された動作周波数もまた、実際に所定フレームの処理に必要な動作周波数より小さい値となる。

【0 0 7 6】

そこで、動画像符号化処理システム S 2 では、前記動画像符号化処理システム S 1 と同様に動画像符号化手段 5 に N 回の割り込み処理を等間隔に設けて符号化処理を一時中断し、その割り込みの時点において、演算残量判断手段 2 9 が、必要演算量計算手段 2 で算出された所定フレームの必要演算量の残量である演算残量 K_i と、動画像符号化手段 5 による所定のフレームの符号化処理において実際に必要な演算量の残りの演算量とを比較する。すなわち、 i 回目の割り込み処理では、演算残量判断手段 2 9 は、所定フレームの処理に割り当てられている残りの時間 T_i とプロセッサ 1 の動作周波数 F を測定し、演算残量 K_i を数式 $K_i = T_i \times F$ で計算する。また、演算残量判断手段 2 9 は、1 回目から $(i - 1)$ 回目までの割り込み処理時刻 $T_1, T_2, \dots, T_{(i-1)}$ 、および、各割り込み時刻でのプロセッサの動作周波数 $F_1, F_2, \dots, F_{(i-1)}$ を保持し、これらの値をもとに所定フレームの処理開始時刻から i 回目の割り込み処理発生時刻までに、所定フレームの処理に費やされた演算量 K_{pm} を数式 $K_{pm} = \sum \{F_j \times (T_{(j+1)} - T_j)\}$ を用いて計算する。ただし、 F_0 は所定フレームの処理開始時に設定されていたプロセッサの動作周波数、 $j = 0, 1, \dots, (i - 1)$ である。つぎに、演算残量判断手段 2 9 は、 $K_i \geq K_{pm} \times (MB - MB_i) / MB_i$ であるか $K_i < K_{pm} \times (MB - MB_i) / MB_i$ であるかを判断する。計算された演算残量 K_i および所定フレームの処理に費やされた演算量 K_{pm} が数式 $K_i \geq K_{pm} \times (MB - MB_i) / MB_i$ を満たすとき、割り込み処理を終了し、符号化処理ルーチンに戻る。動画像符号化手段 5 は、 $(i + 1)$ 回目の割り込み処理発生時刻まで、所定フレームの処理を継続する。演算残量判断手段 2 9 は、計算された演算残量 K_i および所定フレームの処理に費やされた演算量 K_{pm} が数式 $K_i < K_{pm} \times (MB - MB_i) / MB_i$ を満たすとき、必要演算量計算手段 2 で算出された必要演算量が実際に必要な演算量よりも小さいと判断し、動作電源電圧・基板バイアス電圧・動作周波数制御手段 4 に対し図 4 に示すプロセッサ 1 および（又は）局部復号メモリ 6 等を含んだ周辺装置がサポートする動作周波数を一段階上げ、動作周波数に応じた動作電源電圧及び基板バイアス電圧でプロセッサ 1 および（又は）局部復号メモリ 6 等を含んだ周辺装置を動作させるように指示をする（符号 1 0 4）。ここで、動作周波数を二段階以上上げるように指示しても良い。なお、 MB は所定フレームに含まれるマクロブロックの総数、 MB_i は i 回目の割り込み処理発生時刻における所定フレームの

符号化処理済みマクロブロック数を表す。以上の処理を設けることにより、所定フレームの処理の途中でプロセッサの動作周波数を上げることができるため、所定フレームの処理開始時にプロセッサに設定された動作周波数が、所定フレームの処理に必要な演算量を実現するために必要な動作周波数より小さく設定されたとしても、破綻現象を生ずることなく所定フレームの処理を終了することができるようになる。なお、動画像符号化手段 5 への割り込み時刻は等間隔の N 回に限らず、任意の間隔の N 回で行ってもよい。また、数式 $K_i \geq K_{pm} \times (MB - MB_i) / MB_i$ および数式 $K_i < K_{pm} \times (MB - MB_i) / MB_i$ のかわりに、 $K_i \geq K_{pm} \times (BL - BL_i) / BL_i$ および $K_i \geq K_{pm} \times (BL - BL_i) / BL_i$ を用いてもよい。ここで BL は所定フレームに含まれるブロックの総数、 BL_i は i 回目の割り込み処理発生時刻における所定フレームの処理済みブロック数を表す。

【0077】

(第 3 の実施の形態)

本発明の第 3 の実施の形態の動画像復号化処理システム S 3 は、符号化された動画像を復号化するシステムである。図 9 は動画像復号化処理システム S 3 の動作を示した概略ブロック図である。本実施の形態の動画像復号化処理システム S 3 は、動作電源電圧及び基板バイアス電圧及び動作周波数が r 段階 (r は 2 以上の整数) に用意され且つプログラムにより動作電源電圧及び基板バイアス電圧及び動作周波数を変更可能なプロセッサ 1 と、前記プロセッサ 1 の動作電源電圧及び基板バイアス電圧及び動作周波数を制御する動作電源電圧・基板バイアス電圧・動作周波数制御手段 4 と、前フレームの復号化データを記憶する局部復号フレームメモリ 36 と、プロセッサ 1 上で動作する演算残量判断手段 39 とを備える。また、局部復号メモリ 36 は動作電源電圧・基板バイアス電圧・動作周波数制御手段 4 により、プロセッサ 1 と同様に動作電源電圧・基板バイアス電圧・動作周波数が制御されてもよい。プロセッサ 1 は、プロセッサ 1 上で動作する必要演算量計算手段 32 と、プロセッサ 1 上で動作する動作電源電圧・基板バイアス電圧・動作周波数決定手段 3 と、プロセッサ 1 上で動作する動画像復号化手段 35 とを備える。符号 301 は入力符号化データ、符号 102 は動作電源電圧・基板バイアス電圧・動作周波数指示、符号 105 は動作電源電圧・基板バイアス電圧・動作周波数供給、符号 306 は復号化データであり、第 1 の実施の形態と同一符号は同一機能又はそれ相当の機能を有する部分である。符号化ではなく復号化を行う点及び下記以外の点は第 2 の実施の形態と同様である。

【0078】

図 9 に従って、動画像復号化処理システム S 3 の動作を説明する。以下、順次復号化されるフレームのうちこれから復号化される任意の一のフレーム (すなわち、あるフレームが復号化された時点基準とすると次に復号化されるフレームであり、換言すると、その時点において未だに復号化処理されておらず未来に復号化処理が行われる予定であるフレーム) を所定フレーム、所定フレームより前に復号化された一のフレーム (過去に復号化されたフレーム) を前フレームとし、所定フレームを復号化する処理について説明するが、いずれのフレームについても同様の処理が行われる。コンピュータを動画像復号化処理システム S 3 として機能させる動画像復号化処理プログラム Prg 3 は、前記動画像符号化処理プログラム Prg 1 とほぼ同様であるが、ステップ 5 において、所定フレームの符号化データを復号化させる動画像復号化手段 35 としてコンピュータ (詳しくはコンピュータに内蔵されるプロセッサ 1) を機能させる。動画像復号化処理システム S 3 に入力されてきた入力符号化データ 301 は、必要演算量計算手段 32 に入力される。必要演算量計算手段 32 は符号化データ 301 の一フレーム分 (すなわち、所定フレームの符号化データ 301) の発生情報量 (ビット数) FB を計算し、必要計算量 K_p を予測する計算を行う (必要演算量計算ステップ)。必要演算量 K_p は、

$$K_p = G(FB, MV_a, MV_v, B, C, BR, D, Q, \Delta Q_{prev}, I, E, P) \cdot \dots \quad (\text{数式 19})$$

で表される。FB は一フレーム分の発生情報量 (ビット数) である。ただし、関数 G は要素 FB, MV_a , MV_v , B, C, BR, D, Q, ΔQ_{prev} , I, E, P の一つ以上の

要素を用いて導き出される関数である。必要演算量 K_p は、所定フレームに必要と予測される演算性能（周波数、サイクル）であり、所定フレーム内のビット数 F_B が大きければ高い値と、ビット数 F_B が小さければ低い値となる。また、必要演算量 K_p を予測する計算である必要演算量計算手段 32 の要素として、所定フレームがフレーム内符号化であるかフレーム間符号化であるかの種類も使用することが可能であり、所定フレームがフレーム内符号化である場合の必要演算量 K_p は小さい値と、フレーム間符号化である場合の必要演算量 K_p は大きい値となる。さらに、必要計算量 K_p は、動きベクトルの大きさの平均値（これから復号化するフレームの、もしくは前フレームのもの） MV_a 、動きベクトルの大きさの分散（これから復号化するフレームの、もしくは前フレームのもの） MV_v 、有効ブロック数（これから復号化するフレームの、もしくは前フレームのもの） B 、有効係数の数（これから復号化するフレームの、もしくは前フレームのもの） C 、ビットレート（これから復号化するフレームの、もしくは前フレームのもの） BR 、発生情報量（これから復号化するフレームの、もしくは前フレームのもの） F_B 、量子化ステップサイズの平均値（これから復号化するフレームの、もしくは前フレームのもの） Q 、量子化ステップサイズの平均値の差（これから復号化するフレームの Q と 1 つ前のフレームの Q の差、もしくは 1 つ前のフレームの Q と 2 つ前のフレームの Q の差） ΔQ 、I ピクチャであるか P ピクチャであるか B ピクチャであるかの種類 I 、前フレームの復号化に実際に要した演算量 E 、前フレームの復号化に必要な演算量の予測値（すなわち、必要演算量計算手段により算出された前フレームの必要演算量） P にも影響され、これらを必要演算量計算手段 32 において要素として使用しても良い。例えば、動きベクトルの大きさの平均値（これから復号化するフレームの、もしくは前フレームのもの） MV_a 、動きベクトルの大きさの分散（これから復号化するフレームの、もしくは前フレームのもの） MV_v 、有効ブロック数（これから復号化するフレームの、もしくは前フレームのもの） B 、有効係数の数（これから復号化するフレームの、もしくは前フレームのもの） C については、各要素それぞれについて、他の要素の値が変化しないと仮定したときに、要素の値が大きい場合は小さい場合と比較して必要演算量 K_p が相対的に大きくなるようにし、要素の値が小さい場合は大きい場合と比較して必要演算量 K_p が相対的に小さくなるようにする。必要演算量計算手段 32 においては、これらの要素のうち一つの要素のみを使用しても良いし、複数組み合わせ使用しても良い。すなわち、これらの複数の要素は所定フレームの復号化処理のために必要な必要演算量に影響を与える要素であるため、必要演算量計算手段 32 が、これらの要素に応じて必要演算量 K_p （サイクル）を増減させるように計算を行うことにより、必要演算量計算手段 32 により計算される必要演算量 K_p が現実には復号化処理を行ったときの演算量により近い値となる。

【0079】

動作電源電圧・基板バイアス電圧・動作周波数計算手段 3（動作電源電圧・基板バイアス電圧・動作周波数決定ステップ）及び動作電源電圧・基板バイアス電圧・動作周波数制御手段 4 は、前記第 1 の実施の形態と同様である。動画像復号化手段 35 は、所定フレームの入力符号化データ 301 を復号化して復号化データ 306 を生成する（動画像復号化ステップ）。動画像復号化手段 35 による復号化処理に際しては、動作電源電圧・基板バイアス電圧・動作周波数制御手段 4 により一定の動作電源電圧及び基板バイアス電圧及び動作周波数でプロセッサ 1 を動作させながら復号化処理が行われる。フレームごとに、そのフレームの復号化処理の前に必要な必要演算量が算出され、その必要演算量に応じた一定の動作周波数及び動作電源電圧及び基板バイアス電圧でプロセッサを動作させながらそのフレームの復号化が行われるため、フレームを分割して成る所定数のブロックごとに動作周波数及び動作電源電圧を変更する従来技術と比較して、低消費電力化を図ることができる。復号化データ 306 は、携帯電話やパソコンの画像表示部に動画像として表示されたり、ハードディスク等の記憶媒体に記憶されたりする。

【0080】

動画像復号化処理システム S3 においても、第 2 の破綻回避手段として演算残量判断手段 39 を備える。演算残量判断手段 39 は、上記第 2 の実施の形態とはほぼ同様であるが、

符号化処理の演算量ではなく復号化処理の演算量について判断する点で異なる。演算残量判断手段 3 9 により、破綻現象を回避することができる。なお、上記第 1 の実施の形態のように、第 1 の破綻回避手段を備えるようにすることも可能である。なお、復号化処理において無効ブロック化処理は行わない。

【0 0 8 1】

本発明の動画像符号化処理システムは、第 1 の破綻回避手段 1 1 と、第 2 の破綻回避手段としての無効ブロック化手段 9 と、第 2 の破綻回避手段としての演算残量判断手段 2 9, 3 9 をそれぞれ単独で備えても良く、復号化処理システムは、第 1 の破綻回避手段 1 1 と演算残量判断手段 3 9 をそれぞれ単独で備えてもよく、また、各手段を適宜組み合わせる備えても良い。たとえば、第 1 と各第 2 の破綻回避手段を総て備えるようにし、第 1 の破綻回避手段 1 1 により必要演算量を増加させても破綻を回避できない場合は、第 2 の破綻回避手段としての演算残量判断手段 2 9, 3 9 により動作電源電圧及び動作周波数を上げ、さらに、それでも破綻現象を回避不可能な場合は、第 2 の破綻回避手段としての無効ブロック化手段 9 により符号化処理を簡易に行うなどの破綻回避処理を行うようにしても良い。また、上記動画像符号化又は復号化処理プログラムは、プログラムと同様の機能を備えるハードウェアで実現されても良い。

【0 0 8 2】

(第 4 の実施の形態)

上記第 1 の実施の形態乃至第 3 の実施の形態は、動作電源電圧、基板バイアス電圧及び動作周波数を制御するものであるが、本実施の形態は、基板バイアス電圧及び動作周波数を制御することにより、低消費電力化を図るものである。図 1 0 は、本実施の形態の動画像符号化システム S 4 の動作を示した概略ブロック図であり、図 1 1 はプロセッサ 4 1 の基板バイアス電圧・動作周波数の関係を示す概念図である。本実施の形態の動画像符号化処理システム S 4 は、上記第 1 の実施の形態のプロセッサ 1 に代えて、基板バイアス電圧 V B B 及び動作周波数が r 段階 (r は 2 以上の整数) に可変であり (すなわち、r 段階の基板バイアス電圧 V B B 及び動作周波数で動作可能であり) 且つプログラムにより基板バイアス電圧及び動作周波数を変更可能なプロセッサ 4 1 とする。また、前記動作電源電圧・基板バイアス電圧・動作周波数制御手段 4 に代えて、プロセッサ 1 の基板バイアス電圧及び動作周波数を制御する基板バイアス電圧・動作周波数制御手段 4 4 とする。プロセッサ 1、又は、プロセッサ 1 及び周辺装置 (局部復号メモリ 6 や入力フレームメモリ 7 等) は基板バイアス電圧・動作周波数制御手段 4 2 により基板バイアス電圧・動作周波数が制御される。

【0 0 8 3】

基板バイアス電圧・動作周波数決定手段 4 3 は、 $F(n) > F_f$ であり、且つ $F(n-1) < F_f$ となる動作周波数 $F(n)$ を所定フレームの符号化処理を行う動作周波数として選択する計算を行い、その動作周波数 $F(n)$ に適する基板バイアス電圧 V B B (n) を選択する計算を行い、プロセッサ 1 および (又は) 局部復号メモリ 6 等を含めた周辺装置をその動作周波数 $F(n)$ と基板バイアス電圧 V B B (n) で動作させるように、基板バイアス電圧・動作周波数を基板バイアス電圧・動作周波数制御手段 4 4 に指示する (符号 4 0 2)。基板バイアス電圧・動作周波数制御手段 4 4 は、基板バイアス電圧・動作周波数計算手段 4 3 から指示を受けた基板バイアス電圧 V B B (n) 及び動作周波数 $F(n)$ の値をプロセッサ 1 および (又は) 局部復号メモリ 6 等を含めた周辺装置に供給し (符号 4 0 5)、その基板バイアス電圧 V B B (n) 及び動作周波数 $F(n)$ でプロセッサ 1 を一定に動作させる制御を行う。これにより、プロセッサ 1 および (又は) 局部復号メモリ 6 等を含めた周辺装置は、一定の基板バイアス電圧 V B B (n) 及び動作周波数 $F(n)$ で動作することになる。その他の点については、第 1 の実施の形態とほぼ同様である。

【0 0 8 4】

第 2 の実施の形態及び第 3 の実施の形態についても、動作電源電圧を制御することなく、基板バイアス電圧及び動作周波数を制御するシステムとしても良い。また、演算残量判断手段 (図示せず) を備える場合は、基板バイアス電圧・動作周波数制御手段 4 4 に対し

図 11 に示すプロセッサ 1 および (又は) 局部復号メモリ 6 等を含んだ周辺装置がサポートする動作周波数を一段階上げ、動作周波数に応じた基板バイアス電圧でプロセッサ 1 および (又は) 局部復号メモリ 6 等を含んだ周辺装置を一定に動作させるように指示をする。

【0085】

(実施例 1)

第 1 の実施の形態の動画像符号化システム S1 についての実施例 1 を説明する。符号化の対象として 75 枚のフレームから成る動画像データを使用し、符号化されるフレームとして 32 番目のフレームを例に説明する。各フレームは 144 行 176 列の画素配列で構成されている。符号化処理としては、MP EG-4 を使用する。図 12 は、動画像符号化システム S1 のプロセッサ 1 における動作周波数と動作電源電圧、基板バイアス電圧の関係の例を表している。動画像符号化システム S1 のプロセッサ 1 は、動作周波数 50 MHz ~ 250 MHz、動作電源電圧 0.5 V ~ 1.0 V、基板バイアス電圧 -1.0 V ~ 0.5 V であり、5 段階に可変となっている。

【0086】

まず、動画像符号化システム S1 は、入力フレームメモリ 7 にアクセスして、31 番目のフレームを取得し、必要演算量計算手段 2 により、そのフレームの必要演算量 K_p を計算する。必要演算量 K_p は、具体的には、まず、前フレームとして 30 番目のフレームを使用し下記の数式により差分絶対値和 Z を算出する。

$$Z = \sum |X_{ij} - Y_{ij}| = 50705$$

次に、所定フレームである 31 番目のフレームのアクティビティ量 W を下記の数式により算出する。

$$\text{水平方向 } W_h = \sum |X(i, j) - X(i-1, j)| = 137412$$

$$\text{垂直方向 } W_v = \sum |X(i, j) - X(i, j-1)| = 109176$$

さらに、前フレームのマクロブロックマッチング回数 $M = 102$ 、前フレームの平均量子化ステップサイズ (量子化ステップサイズの平均値) $Q_{\text{prev}} = 3$ 、前フレームの有効ブロック数 $B = 98$ 、前フレームの有効係数の数 $C = 610$ 、前フレームの符号化に実際に要した処理量 $S = 10022474$ 、所定フレームの符号化ビットレート $BR = 65536$ を得る。また、前フレームの量子化ステップサイズの平均値とその一つ前の 20 番目のフレームの量子化ステップサイズの平均値の差 $\Delta Q_{\text{prev}} = 0$ を算出する。また、前フレームの実際の発生ビット数 $D = 56797$ を得る。つぎに、各要素を使用して下記の数式により必要演算量 K_p を算出する。

$$K_p = j + \alpha M + \beta B + \gamma C + \delta Z + \epsilon \Delta Q_{\text{prev}}$$

以上より、本実施例 1 では必要演算量 $K_p = 10315571$ が得られる。

【0087】

さらに、各要素から算出された上記必要演算量 $K_p = 10315571$ から下記の式で必要演算量 K_p を増加させる計算を行う。なお、ここでは上記数式 3 を例に説明する。

$$K_{pf} = 10315571 \times 1.1 = 11347129$$

つぎに、下記の数式により動作周波数を計算する。

$$F_f = K_{pf} / T_f = 11347129 / (1/15) = 171 \text{ MHz}$$

$F(n) > F_f$ であり且つ $F(n-1) < F_f$ となる $F(n)$ を計算し、プロセッサ 1 の 5 段階に可変な動作周波数のうち、動作周波数 $F(4) = 200 \text{ MHz}$ 及びこれに適する動作電源電圧 $V_{DD}(4) = 0.9 \text{ V}$ 及び基板バイアス電圧 $V_{BB}(4) = 0.2 \text{ V}$ を選択する。少なくともプロセッサ 1 を動作周波数 200 MHz 及び動作電源電圧 0.9 V 及び基板バイアス電圧 0.2 V で動作させるように、動作電源電圧・基板バイアス電圧・動作周波数制御手段 4 に指示する。動作電源電圧・基板バイアス電圧・動作周波数制御手段 4 は、少なくともプロセッサ 1 を動作電源電圧 200 MHz 及び動作電源電圧 0.9 V 及び基板バイアス電圧 0.2 V で一定に動作させる制御を行う。動画像符号化手段 5 は、入力フレームメモリ 7 からフレーム F を取得し、上記動作周波数 200 MHz 及び動作電源電圧 0.9 V 及び基板バイアス電圧 0.2 V で一定に動作させられた状態のプロセッサ

1 を使用して、符号化処理を行い符号化データを生成する。

【0088】

さらに、符号化処理ルーチンを実行している際に、無効ブロック化手段 9 は、下記の数式により割り込み時間を算出し、割り込みを行う。

$$\begin{aligned} T_i &= T_f - K_s \times MB / F \\ &= 0.06666 - 37 \times 99 / (200000000) \\ &\approx 0.06664 \end{aligned}$$

さらに無効ブロック化手段 9 は、この割り込みのタイミングにおいて $M_{bi} < MB$ であるか否かを判断する。本実施例 1 では、 $T_i = 0.06664$ のタイミングでは $M_{bi} < MB$ であり、所定フレームの符号化処理が終了していなかったため、残りのマクロブロック全てを無効ブロックとして処理を行い、符号化処理ルーチンに戻る。ここで K_s は 1 つのマクロブロックを無効ブロックとして処理するために必要なサイクル数である。

【0089】

(実施例 2)

第 2 の実施の形態の動画像符号化システム S2 についての実施例 2 を説明する。本実施例 2 では、符号化処理において 4 回の割り込みを行うように設定されている。演算残量判断手段 29 は、第 1 回目と第 2 回目の割り込み時において、 $K_i = T_i \times F$ 及び $K_{pm} = \sum F_j \times (T_{j+1} - T_j)$ を計算し、さらに実際に必要な演算量の残量として $K_{pm} \times (MB - M_{bi})$ を計算し、 $K_i \geq K_{pm} \times (MB - M_{bi}) / M_{bi}$ であるか $K_i < K_{pm} \times (MB - M_{bi}) / M_{bi}$ であるかを判断する。本実施例 2 では $K_1 \geq K_{pm} \times (MB - M_{b1}) / M_{b1}$ 、 $K_2 \geq K_{pm} \times (MB - M_{b2}) / M_{b2}$ であったため、割り込み処理を終了し、第 3 回目の割り込みまで動画像符号化手段 5 が符号化処理を続行する。つぎの割り込みである第 3 回目の割り込み時においても同様に計算及び判断を行う。本実施例 2 では $K_3 < K_{pm} \times (MB - M_{b3}) / M_{b3}$ であったため、動作周波数及び動作電源電圧及び基板バイアス電圧を一段階上げた周波数 $F(5) = 250 \text{ MHz}$ 及び電圧 $V_{DD}(5) = 1.0 \text{ V}$ 、 $V_{BB}(5) = 0.5 \text{ V}$ を動作周波数及び動作電源電圧及び基板バイアス電圧として、動作電源電圧・基板バイアス電圧・動作周波数制御手段 4 に指示する。

【図面の簡単な説明】

【0090】

【図 1】本発明の第 1 の実施の形態の動画像符号化処理システムの動作を示した概略ブロック図。

【図 2】上記実施の形態の動画像符号化処理システムとしてコンピュータを機能させる動画像符号化処理プログラムの概略フローチャートを示す図。

【図 3】上記実施の形態の動画像符号化処理システムにおける符号化処理時間と演算残量の関係を示す図。

【図 4】上記実施の形態の動画像符号化処理システムに使用されるプロセッサの動作電源電圧・基板バイアス電圧・動作周波数を示す概念図。

【図 5】動作周波数を一定とすることによりサブスレッショルドリーク電流を低減できることを説明する説明図。

【図 6】動作電源電圧及び動作周波数を一定とすることにより低消費電力化を図ることができることを説明する説明図。

【図 7】本発明の第 2 の実施の形態の動画像符号化処理システムの動作を示した概略ブロック図。

【図 8】上記実施の形態の動画像符号化処理システムとしてコンピュータを機能させる動画像符号化処理プログラムの概略フローチャートを示す図。

【図 9】本発明の第 3 の実施の形態の動画像復号化処理システムの動作を示した概略ブロック図。

【図 10】本発明の第 4 の実施の形態の動画像符号化処理システムの動作を示した概略ブロック図。

【図 1 1】 上記実施の形態の動画像符号化処理システムに使用されるプロセッサの基板バイアス電圧・動作周波数を示す概念図。

【図 1 2】 実施例におけるプロセッサの動作周波数と動作電源電圧、基板バイアス電圧の関係の例を示す図。

【図 1 3】 動画像符号化処理システムについて従来の低消費電力化を行う手法を示した図。

【図 1 4】 フレーム単位に動画像符号化又は復号化の演算量が異なる状態を示す概念図。

【図 1 5】 トリプルウェル構造を示す断面図。

【図 1 6】 n-チャネル MOS トランジスタ、p-チャネル MOS トランジスタにおけるしきい値電圧と基板バイアス電圧の関係の例を示す図。

【図 1 7】 プロセッサにおける動作周波数としきい値電圧の関係の例を示す図。

【図 1 8】 サブスレッショルドリーク電流とゲート電圧、しきい値電圧の関係の例を示す図。

【図 1 9】 プロセッサの動作周波数を一定とした場合の電流と動作電源電圧の関係を示す図。

【符号の説明】

【0 0 9 1】

S 1, S 2, S 4 動画像符号化処理システム

S 3 動画像復号化処理システム

1 プロセッサ

2 必要演算量計算手段

3 動作電源電圧・基板バイアス電圧・動作周波数決定手段

4 動作電源電圧・基板バイアス電圧・動作周波数制御手段

5 動画像符号化手段

6 局部復号フレームメモリ

7 入力フレームメモリ

8 要素メモリ

9 第 2 の破綻回避手段（無効ブロック化手段）

1 0 処理済マクロブロック数レジスタ

1 1 第 1 の破綻回避手段

1 0 1 入力画像データ

1 0 2 動作電源電圧・基板バイアス電圧・動作周波数指示

1 0 3 局部復号データ

1 0 4 動作電源電圧・基板バイアス電圧・動作周波数指示

1 0 5 動作電源電圧・基板バイアス電圧・動作周波数供給

1 0 6 符号化データ

1 0 7 前フレームの量子化ステップサイズの平均値、

1 0 8 各フレームについてフレーム内符号化であるかフレーム間符号化であるか

の種類

1 0 9 動画像の符号化ビットレート

1 1 0 前フレーム（過去のフレーム）のアクティビティの量

1 1 1 前フレームのマクロブロックマッチング回数

1 1 2 前フレームの有効ブロック数

1 1 3 前フレームの有効係数の数

1 1 4 前フレームの量子化ステップサイズの平均値とその一つ前のフレームの量子化ステップサイズの平均値の差

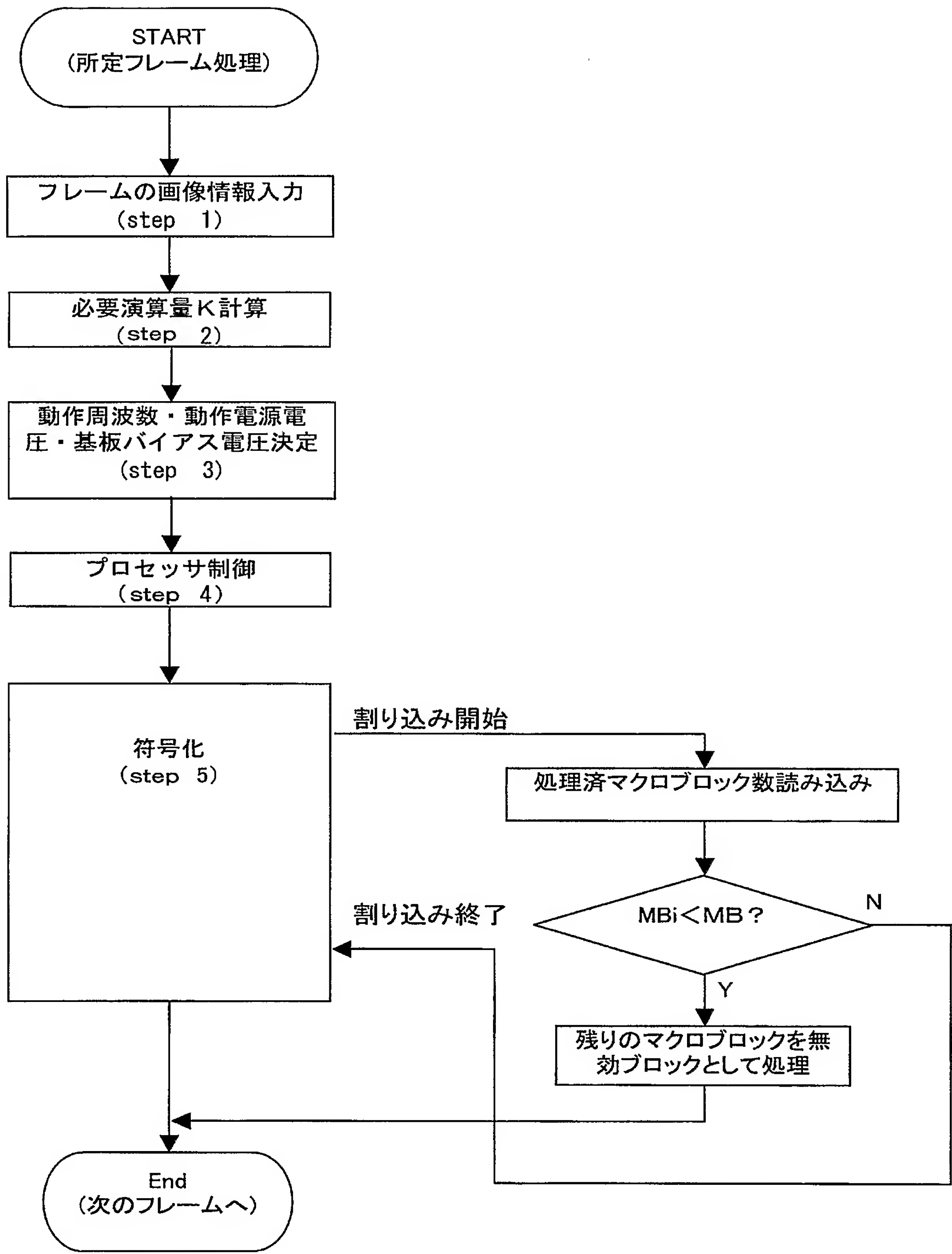
1 1 5 前フレームの符号化に実際に要した処理量

1 1 6 必要演算量計算手段により算出された前フレームの必要演算量

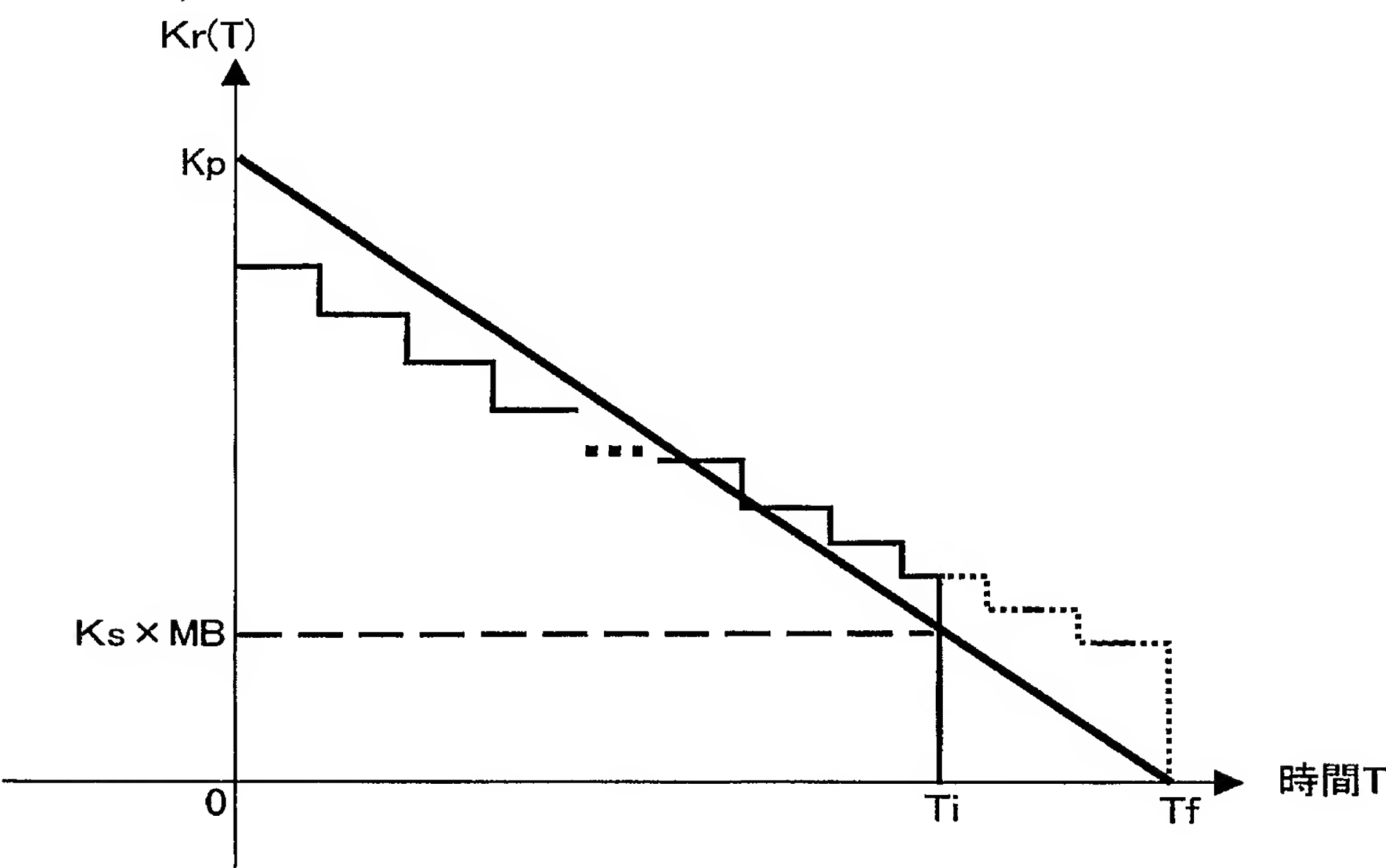
1 1 7 処理済マクロブロック数

2 9 第 2 の破綻回避手段 (演算残量判断手段)
3 5 動画像復号化手段
3 6 局部復号フレームメモリ
3 9 第 2 の破綻回避手段 (演算残量判断手段)
3 0 1 入力符号化データ
3 0 6 復号化データ
4 2 基板バイアス・動作周波数決定手段
4 4 基板バイアス・動作周波数制御手段
4 0 2 基板バイアス電圧・動作周波数指示
4 0 5 基板バイアス電圧・動作周波数供給
p - s u b p 型半導体基板
n - w e l l n 型ウエル
p - w e l l p 型ウエル

【図 2】



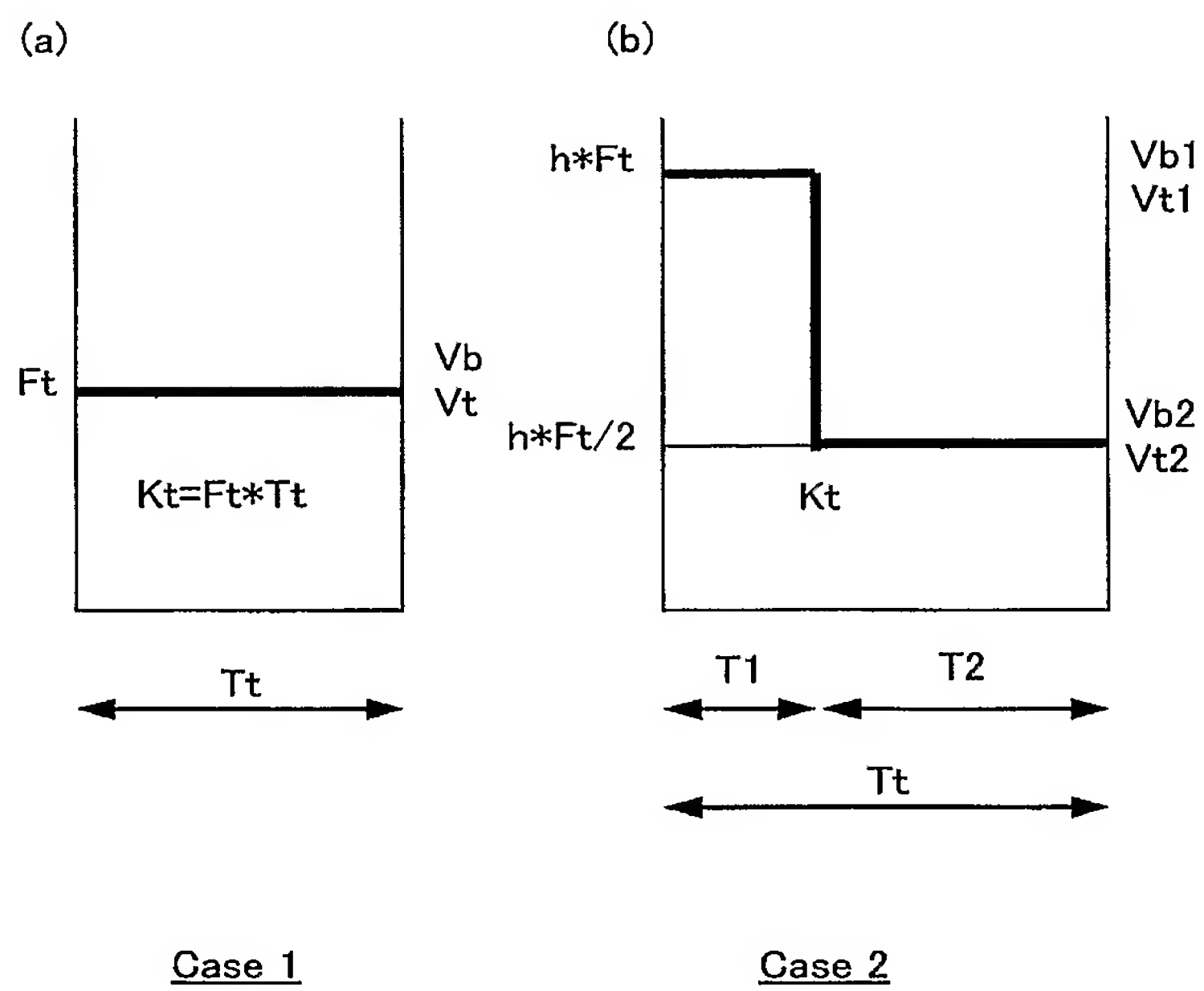
【図 3】



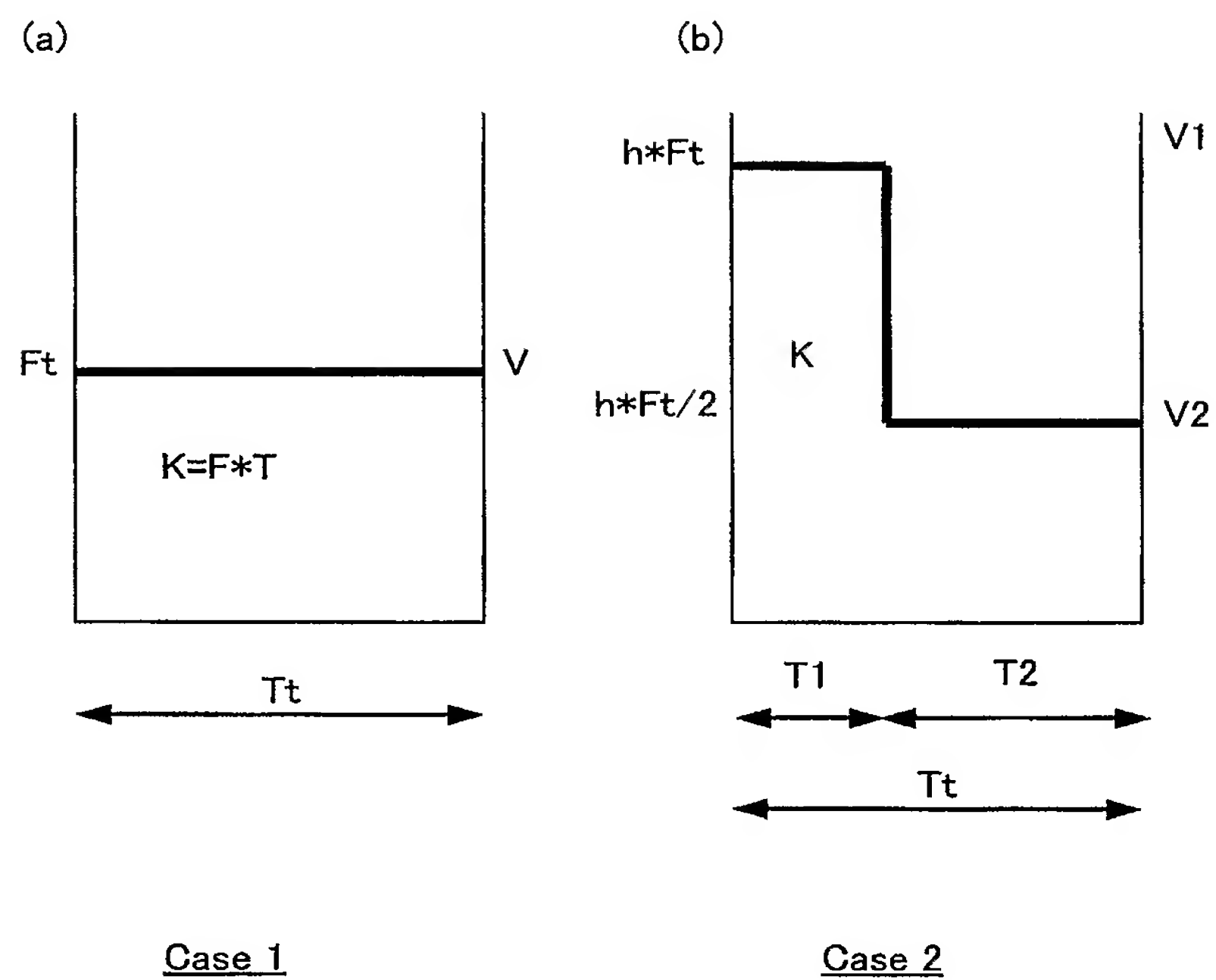
【図 4】

動作周波数 (サイクル/秒)	動作電源電圧 (VDD)	基板バイアス電圧 (VBB)
f (1)	VDD (1)	VBB (1)
f (2) (>f (1))	VDD (2)	VBB (2)
f (3) (>f (2))	VDD (3)	VBB (3)
.	.	.
f (n) (>f (n-1))	VDD (n)	VBB (n)
.	.	.
f (r) (>f (r-1))	VDD (r)	VBB (r)

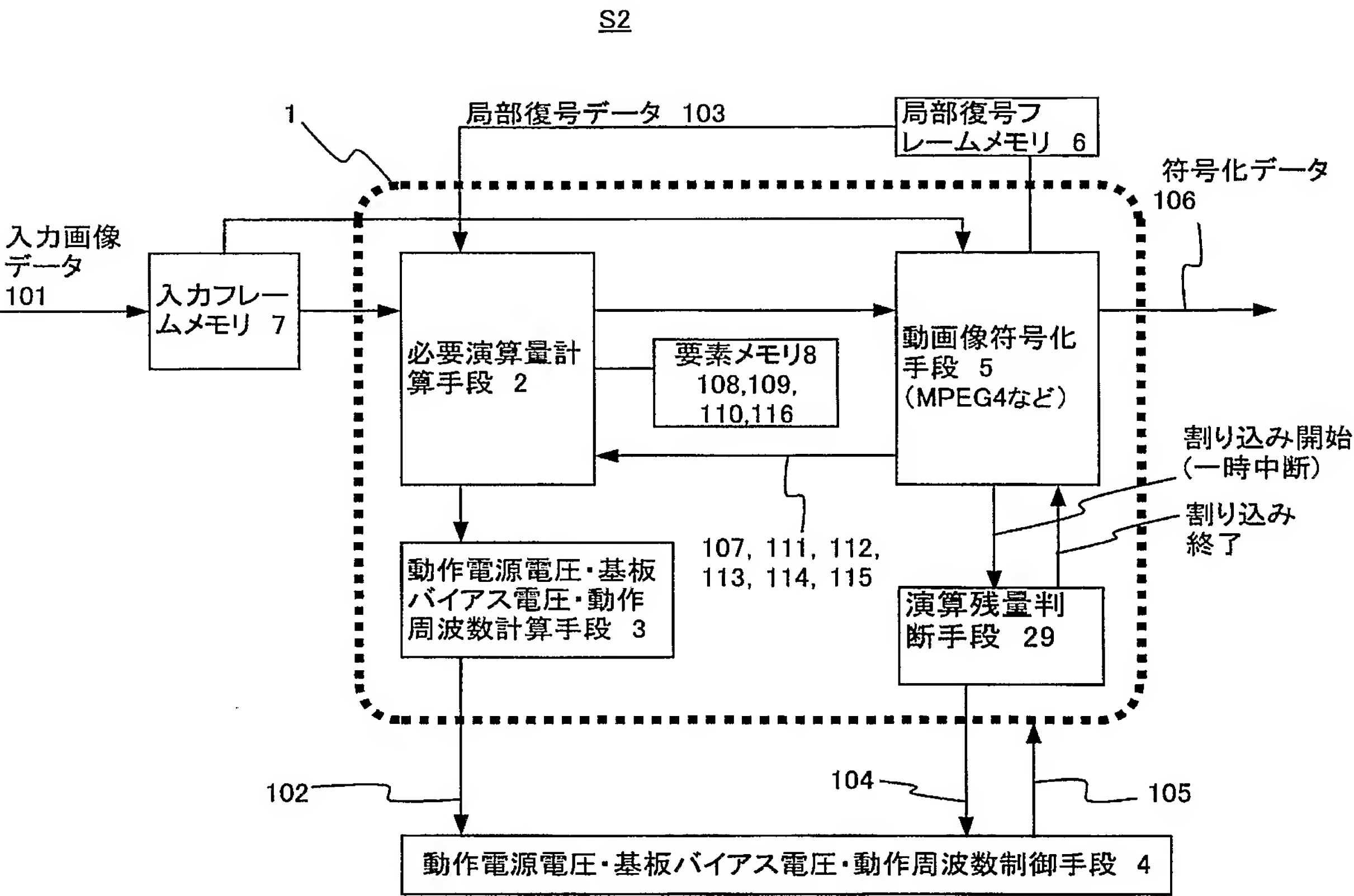
【図 5】



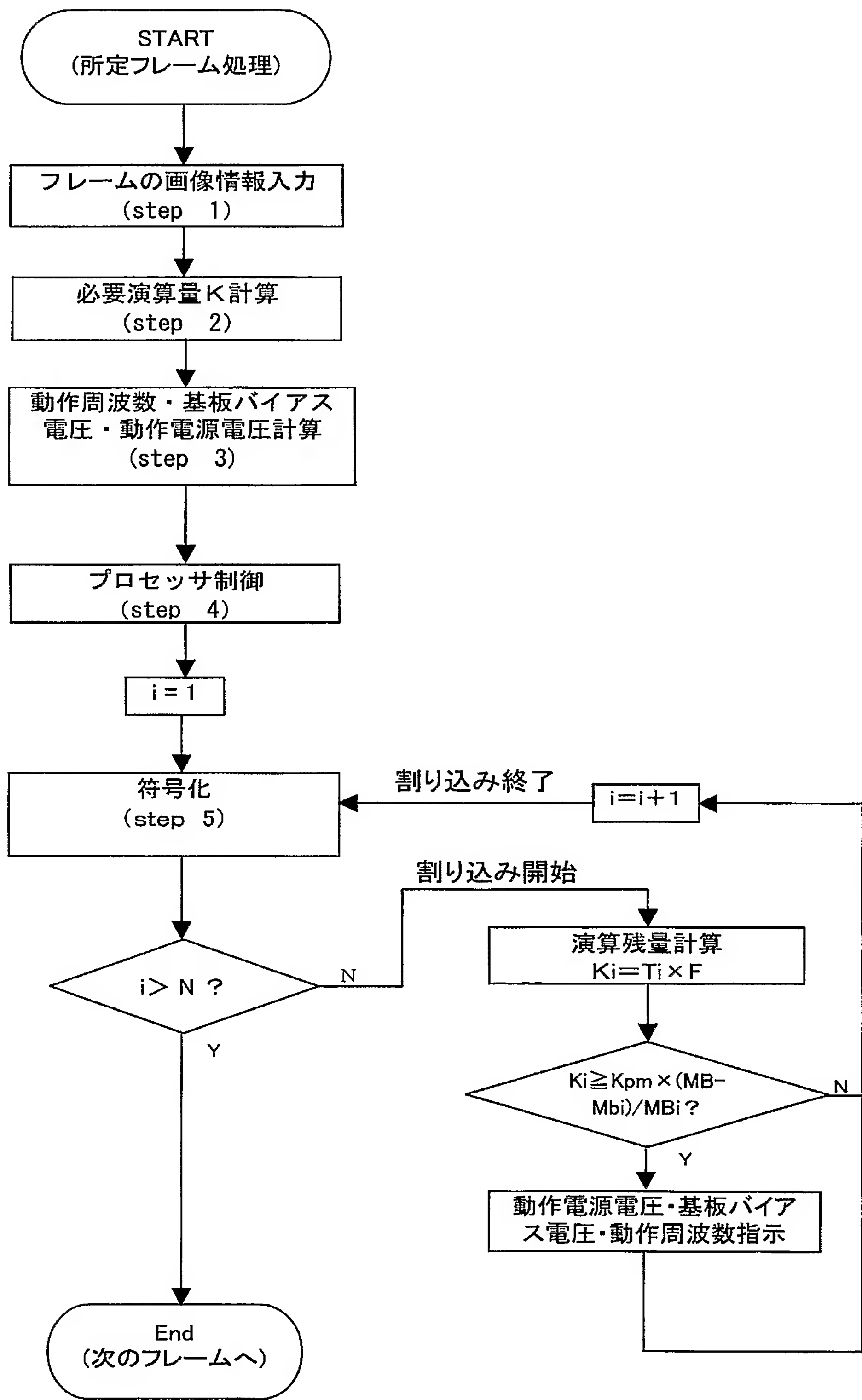
【図 6】



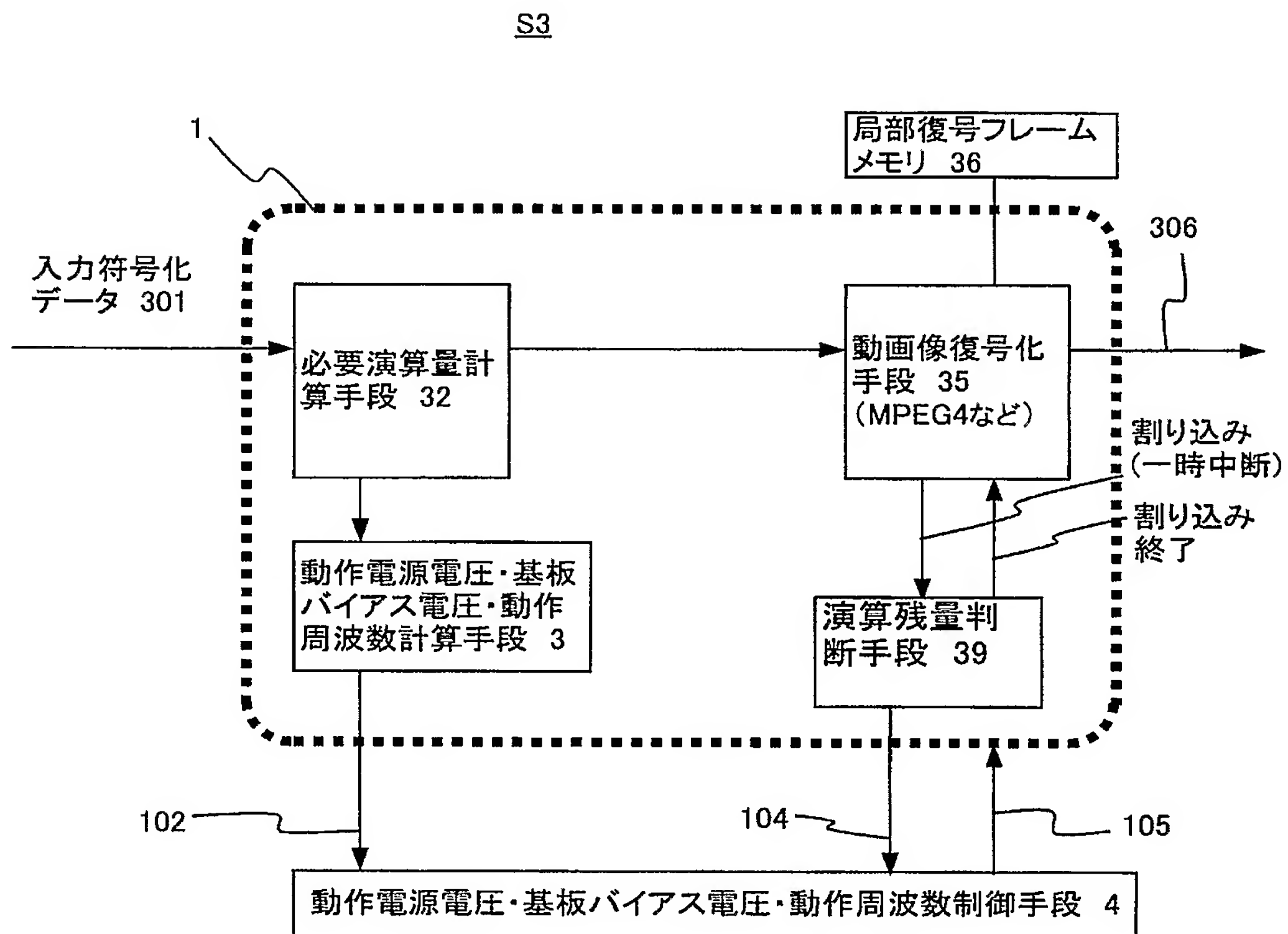
【図 7】



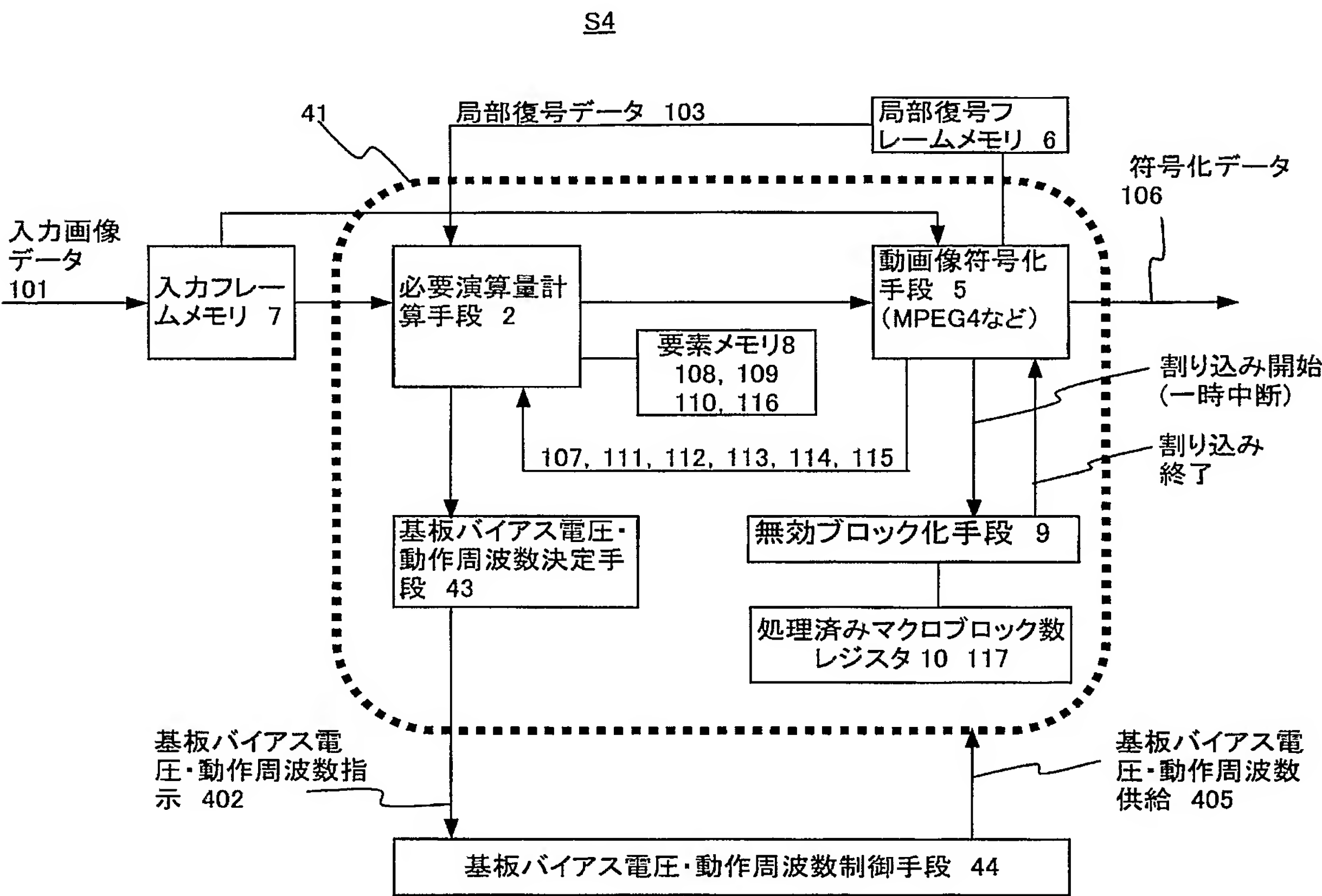
【図 8】



【図 9】



【図 10】



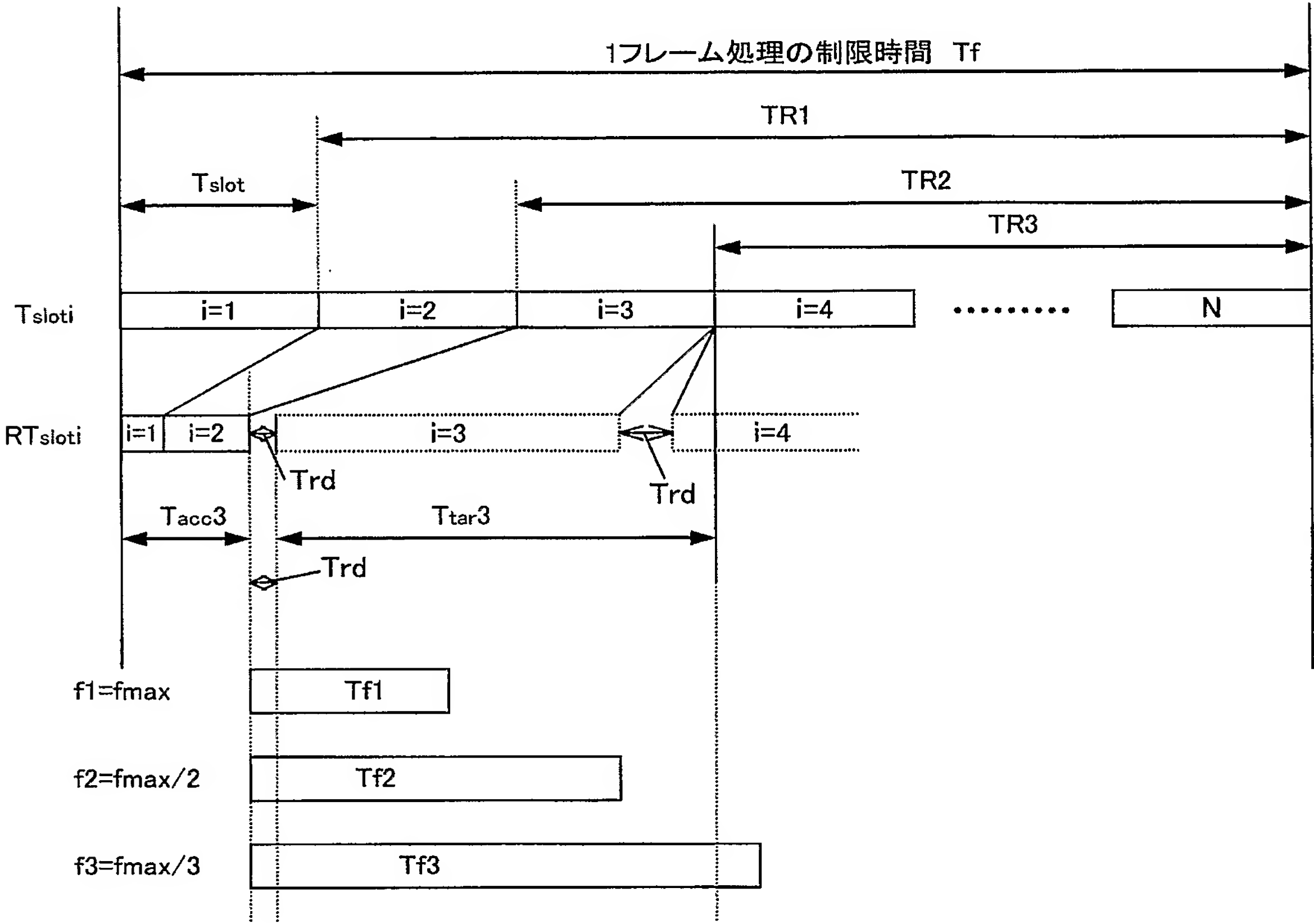
【図 11】

動作周波数 (サイクル/秒)	基板バイアス電圧 (VBB)
f (1)	VBB (1)
f (2) (>f (1))	VBB (2)
f (3) (>f (2))	VBB (3)
.	.
f (n) (>f (n-1))	VBB (n)
.	.
f (r) (>f (r-1))	VBB (r)

【図 1 2】

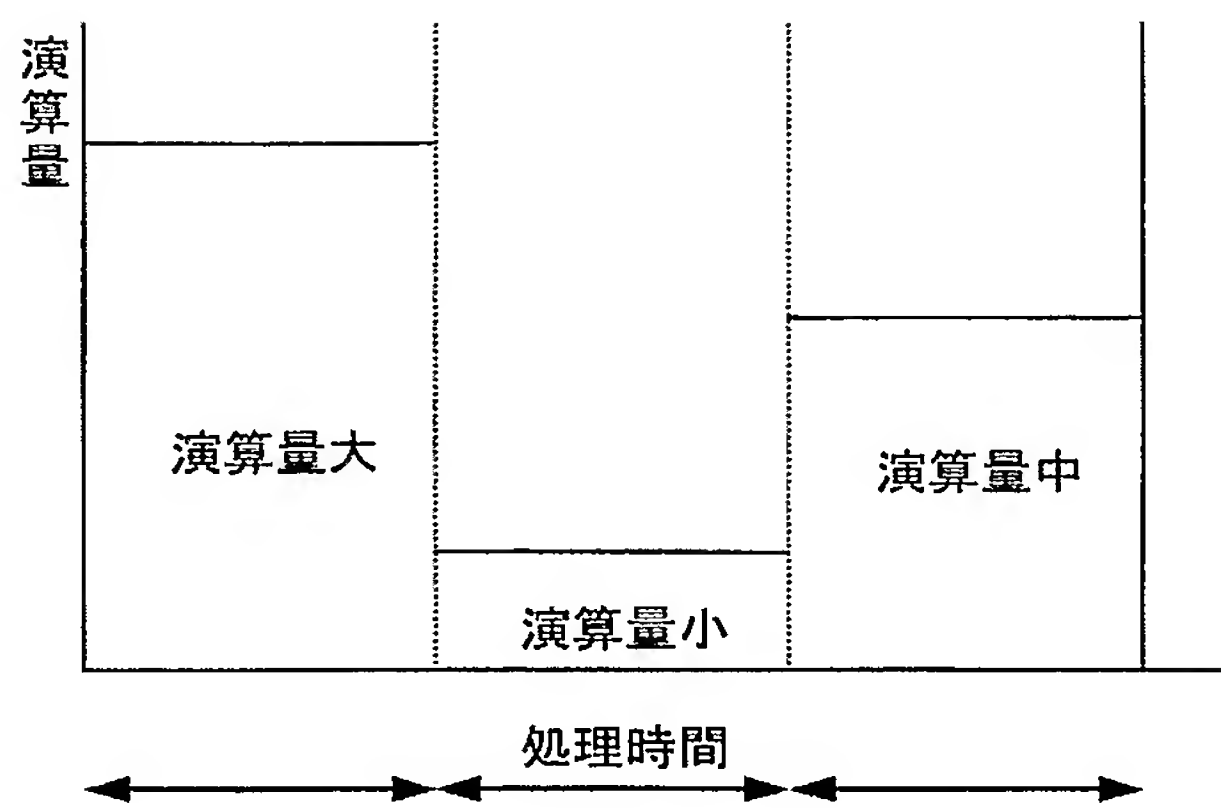
動作周波数 (サイクル/秒)	動作電源電圧 (VDD)	基板バイアス電圧 (VBB)
f (1) = 50	VDD (1) = 0.5	VBB (1) = -1.0
f (2) = 100	VDD (2) = 0.6	VBB (2) = -0.4
f (3) = 150	VDD (3) = 0.8	VBB (3) = 0
f (4) = 200	VDD (4) = 0.9	VBB (4) = 0.2
f (5) = 250	VDD (5) = 1.0	VBB (5) = 0.5

【図 1 3】

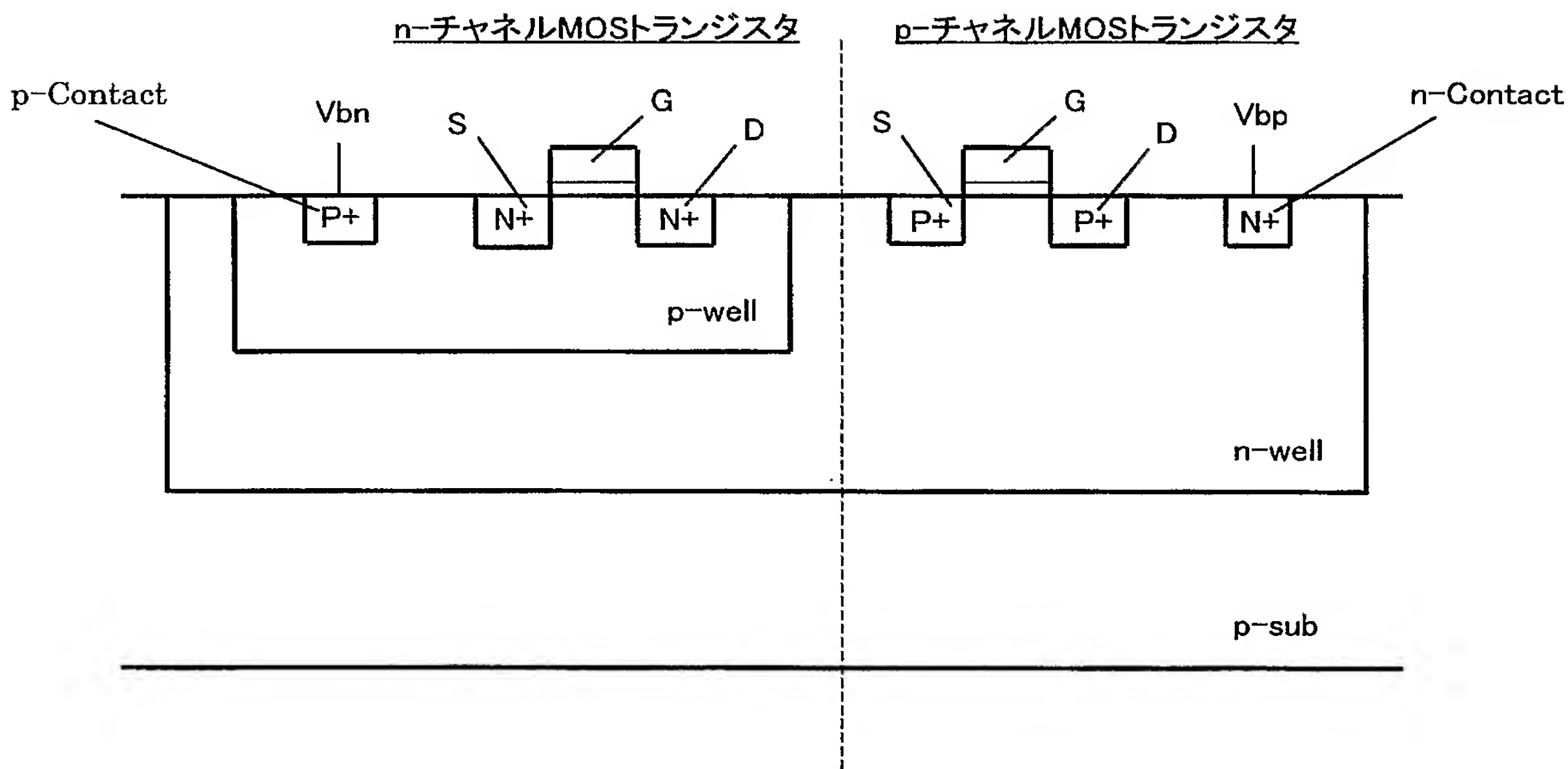


⇒ タイムスロット3に対する動作周波数はf2が選択される。

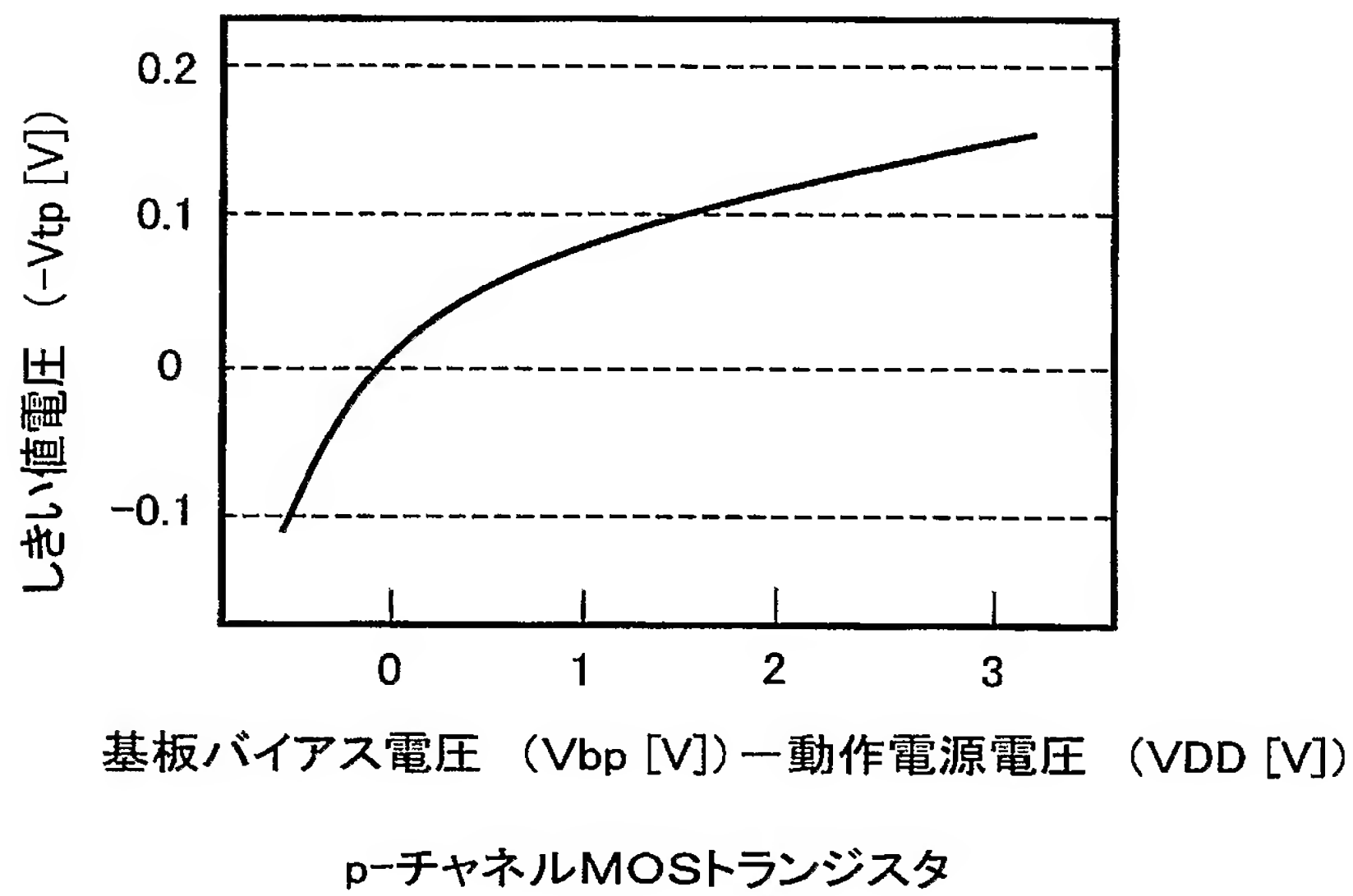
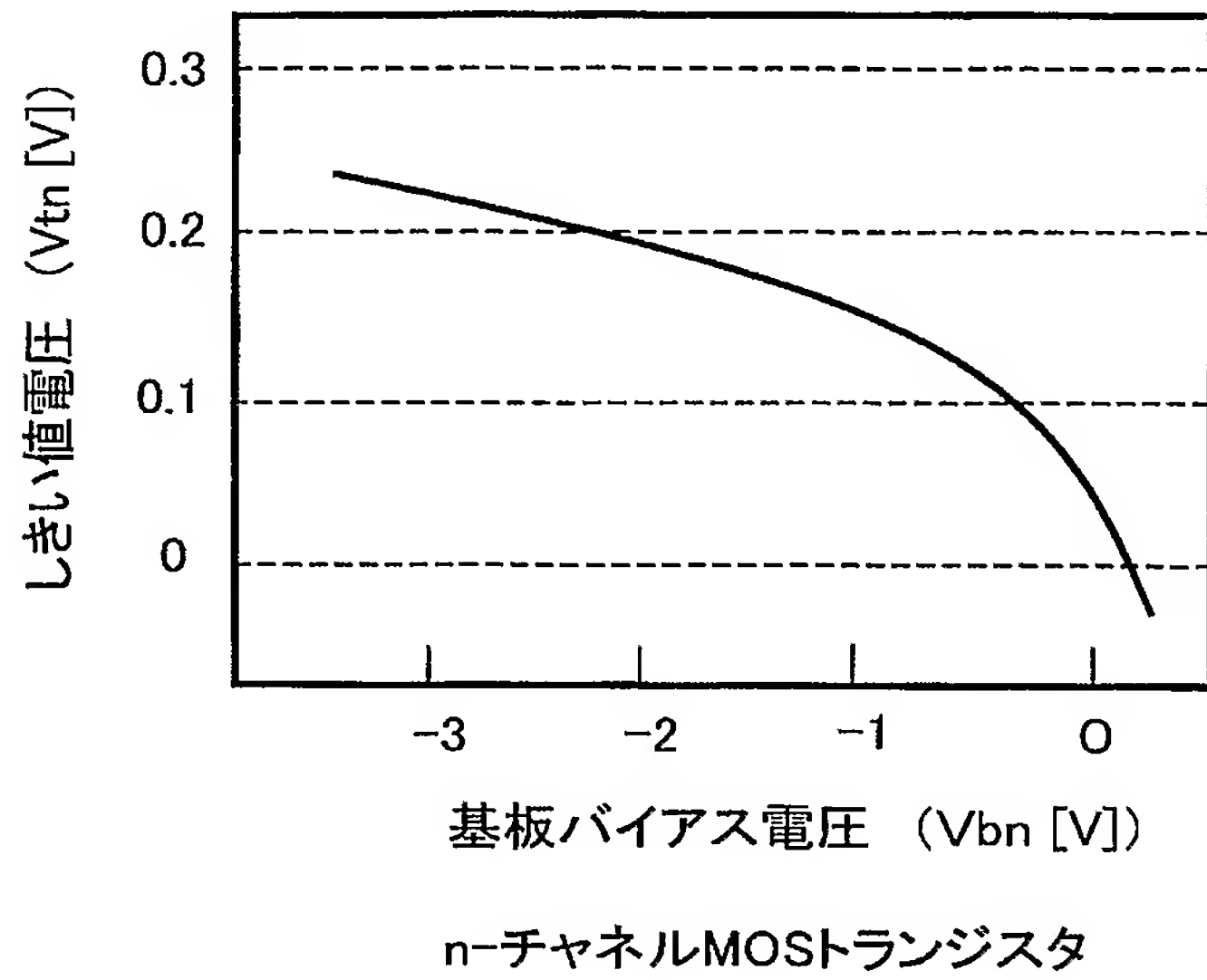
【図 1 4】



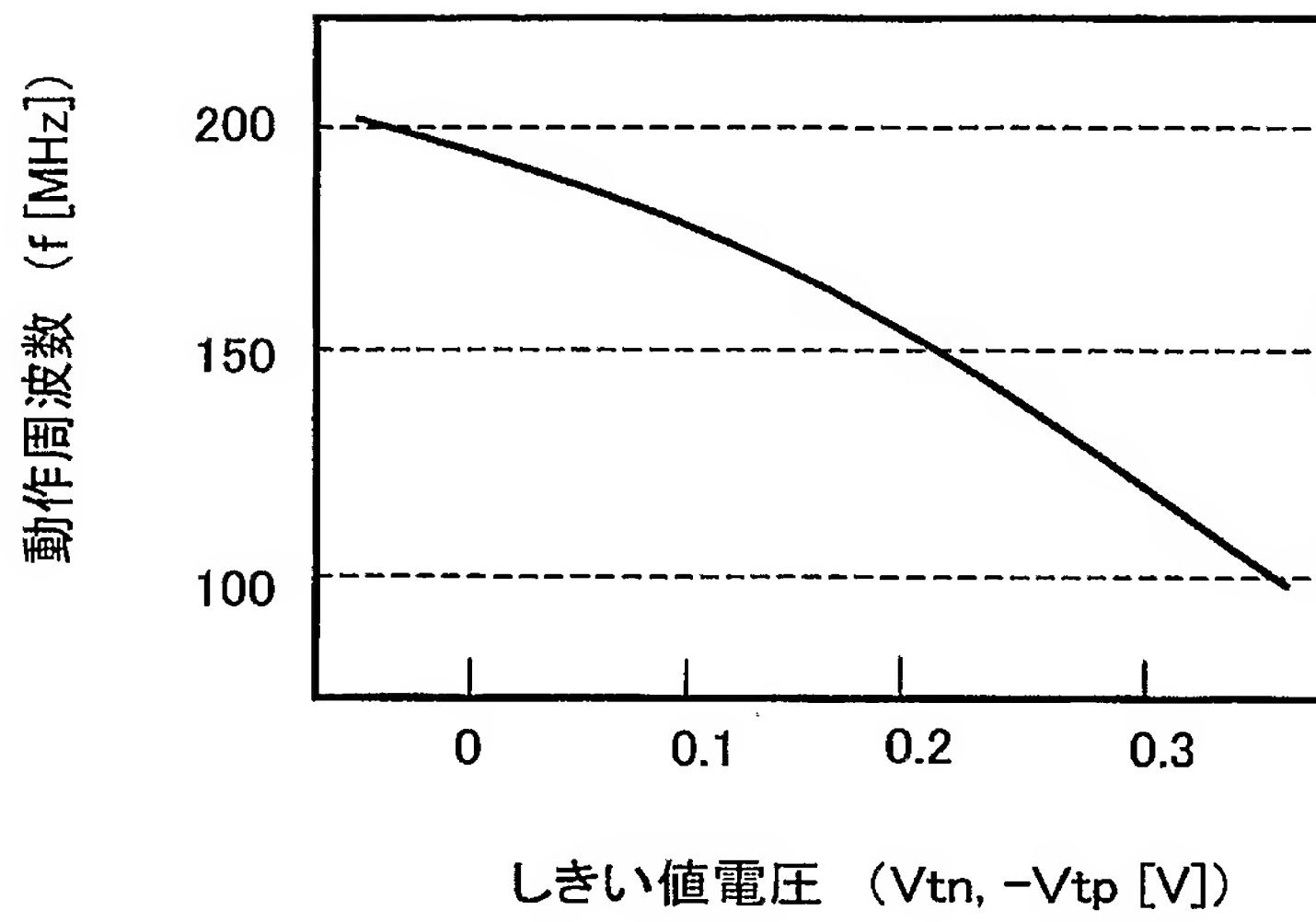
【図 1 5】



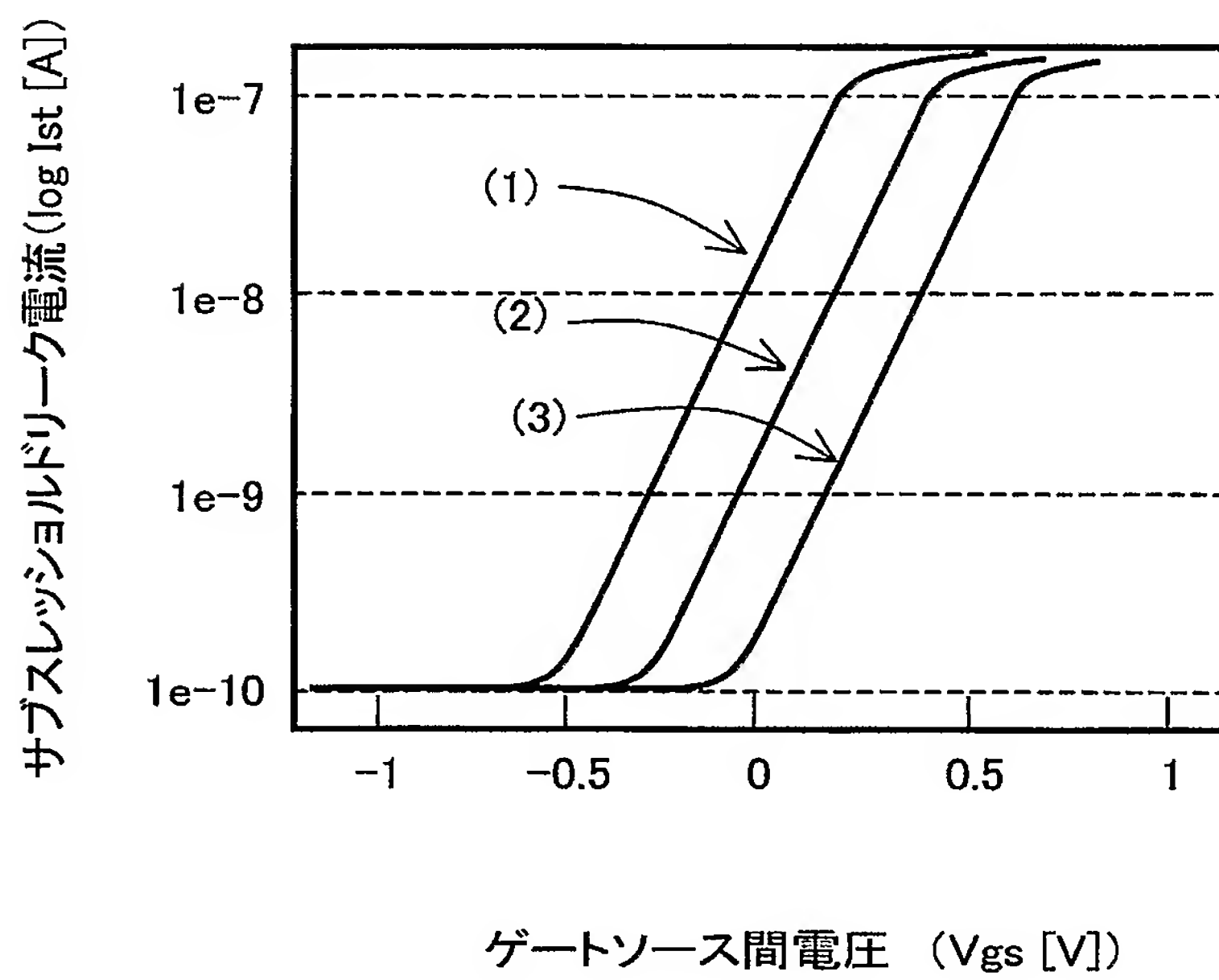
【図 1 6】



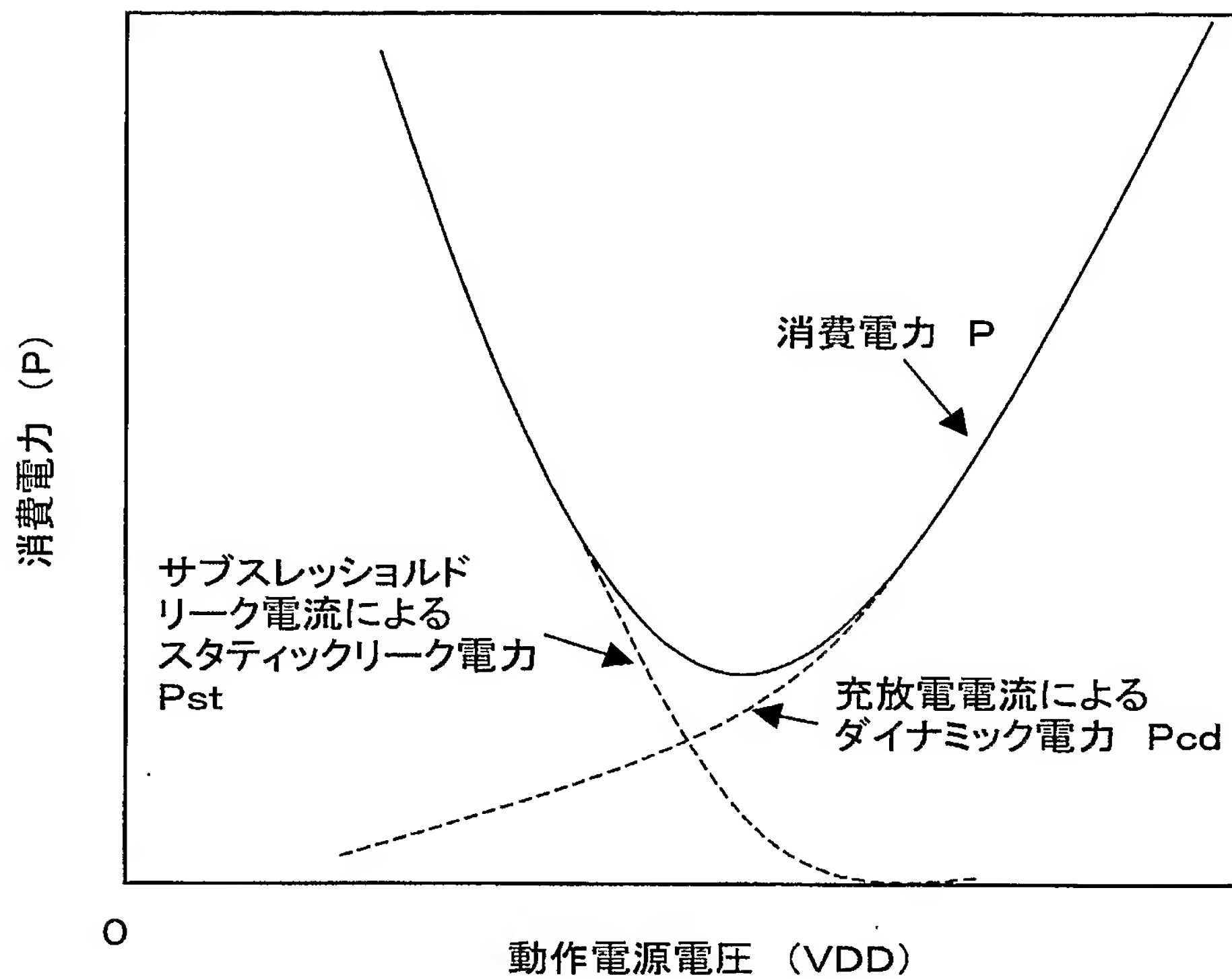
【図 1 7】



【図 1 8】



【図 19】



【書類名】 要約書

【要約】

【課題】 従来技術と比較して低消費電力化を図ることができる動画像符号化又は復号化处理システム及び動画像符号化又は復号化处理方法を提案する。

【解決手段】 所定フレームの符号化又は復号化に必要な必要演算量を計算する必要演算量計算手段 2 と、所定フレームの符号化处理又は復号化处理に予め割り当てられている時間内に前記必要演算量を符号化处理又は復号化处理可能な動作電源電圧及び基板バイアス電圧及び動作周波数を計算する動作電源電圧・基板バイアス電圧・動作周波数計算手段 3 とを備え、前記プロセッサ 1 が前記算出された動作周波数及び動作電源電圧及び基板バイアス電圧で一定に動作しながら所定フレームの符号化又は復号化处理を行う。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 4 0 9 6 4 1
受付番号	5 0 3 0 2 0 2 1 6 8 9
書類名	特許願
担当官	鎌田 柁規 8 0 4 5
作成日	平成 1 5 年 1 2 月 1 0 日

< 認定情報・付加情報 >

【提出日】 平成15年12月 8日

特願 2 0 0 3 - 4 0 9 6 4 1

出 願 人 履 歴 情 報

識別番号

[8 0 3 0 0 0 0 2 3]

1. 変更年月日

2 0 0 3 年 9 月 3 日

[変更理由]

住所変更

住 所

石川県金沢市角間町ヌ 7 番地金沢大学内

氏 名

有限会社金沢大学ティ・エル・オー